



OSCILLATORI ELCOM

Descrizione, modifica e programmazione.

adelmo
adelmo.desantis@gmail.com

Copyright (C) 2015 Adelmo De Santis.
Permission is granted to copy, distribute and/or modify this document under the terms of the GNU Free Documentation License, Version 1.3 or any later version published by the Free Software Foundation; with no Invariant Sections, no Front-Cover Texts, and no Back-Cover Texts. A copy of the license is included in the section entitled "GNU Free Documentation License".

Prefazione

Il presente lavoro è il risultato della mia sperimentazione. E' frutto di un lavoro durato parecchi mesi e viene distribuito in modo gratuito e sotto licenza GNU Free Documentation License. Non viene data garanzia alcuna sulla effettiva funzionalità dei programmi, dei circuiti e delle soluzioni indicate in questo scritto. Non mi ritengo responsabile per danni diretti o a terzi derivanti dall'uso di quanto riportato in queste righe: la sicurezza prima di tutto!

Il mio contributo non vuole essere solamente di tipo tecnico. Vorrei che queste pagine contribuissero a diffondere un metodo di lavoro, basato sulla ampia condivisione dei risultati. Il progetto è messo a disposizione di tutti non solo per mera documentazione, ma per spingere gli interessati a "fare da soli", realizzando le board, modificando il codice e cercando di migliorarlo. Spero che tutto il tempo investito nel progetto non si riduca ad una mera realizzazione in serie delle schede (cosa nella quale non posso investire risorse). Pertanto leggete, chiedete lumi sulle parti meno comprensibili e poi cercate di realizzare il progetto. Sarà un ottimo modo per imparare qualche cosa di nuovo e contribuire allo sviluppo di nuove funzioni.

Versioni

Il presente documento è dinamico. Saranno aggiunte informazioni sulla base delle sperimentazioni che vengono effettuate o dei contributi ricevuti. La versione attuale del documento è la seguente:

Versione 1.0 Data di rilascio: 14 – Dicembre – 2015
--

Changelog.

Versione 1.0

Release iniziale del documento.

Sommario

Prefazione.....	1
Versioni.....	1
Changelog.....	1
I moduli ELCOM	5
Modelli e caratteristiche	5
Alimentazione del Modulo	6
DFS-1301.....	7
Modifica interna.	11
Configurazioni Utilizzate.....	15
DFS-1301 Rev. D	15
DFS1201.....	20
Programmazione Originale.....	21
Frequenze di interesse.	24
Modifica Rapida.....	24
DFS-1101.....	26
Programmazione Originale.....	27
Commento alla programmazione.....	28
Frequenze di interesse.	30
ILCDFSL-1201	32
Componenti Utilizzati	39
Registri di Programmazione	41
Programmazione del dispositivo	43
Frequenze di interesse.	45
ILCDFSL-1301-C – sezione A	46
Analisi della programmazione di I4SBX	46
Combinazione 1	47
Altre frequenze di interesse.	63
Considerazioni sull’hardware	63

I moduli ELCOM

La Elcom¹ è una grande ditta che si occupa di componenti RF. E' stata fondata nel 1995 in New Jersey con l'intento di fornire sorgenti RF basate su DRO o su PLL con buone caratteristiche di rumore di fase e velocità di commutazione. Nel corso degli anni l'interesse della ditta si è spostato verso le tecnologie DSP che hanno consentito l'esplorazione di altri mercati.

I radioamatori hanno dimostrato un notevole interesse nei confronti dei sintetizzatori programmabili che sono facilmente reperibili su ebay per qualche decina di euro. Si tratta di dispositivi costruiti con grande cura in un contenitore metallico fresato, notevolmente robusti visto che sono pensati per un uso continuo. In particolare si tratta di ottimi dispositivi per muovere i primi passi nel mondo delle microonde, utilizzando i sintetizzatori come oscillatore locale per la realizzazione di transverter.

Un grande lavoro^{2 3} di ricerca è stato condotto, in Italia, da Eraldo I4SBX e Giovanni IK6EFN. Nelle presentazioni viene fatta una panoramica dei moduli disponibili, sottolineandone le caratteristiche elettriche ed i possibili miglioramenti che possono essere apportati per l'uso radioamatoriale, giungendo a fornire un sistema per la riprogrammazione del PLL interno agli oscillatori in modo da ottenere in uscita frequenze adatte all'uso con i transverter.

Il mio primo contatto con i moduli ELCOM avviene nel 2012 quando, su consiglio di Fabio I6CXB, decido di basare la realizzazione di un transverter per i 76GHz su questo dispositivo. Inizia quindi una fase di acquisizione di studio dei moduli, per valutarne le caratteristiche e le possibilità di programmazione. Nel 2013 mi dedico molto intensamente a questi dispositivi, approfondendone lo studio e riuscendo a riprogrammare il PLL interno sia con un PIC che con una scheda Raspberry PI. Entro quindi in contatto con I4SBX e con VK4REX con i quali confronto i risultati ottenuti e scambio delle interessanti informazioni. Questo articolo vuole essere una conclusione del lavoro svolto sugli oscillatori che, nel corso del tempo, sono transitati per il mio tavolo di laboratorio.

Modelli e caratteristiche

La produzione ELCOM è stata, negli anni, davvero molto vasta. I sintetizzatori prodotti si differenziano sotto molti aspetti:

- Frequenza operativa;
- Componente usato per il PLL;
- Step minimo di canalizzazione.

Dal punto di vista costruttivo lo schema è classico. Si tratta di un oscillatore controllato in tensione agganciato ad un PLL. Sono poi presenti degli stadi di condizionamento del segnale e delle alimentazioni ed un oscillatore interno di riferimento con riscaldatore. Le unità richiedono due alimentazioni: 12V e 8V tensione continua stabilizzata e molto ben filtrata.

¹ <http://www.elcom-tech.com/>

² Giovanni IK6EFN, Eraldo I4SBX

"I Nostri giochi/ni con i moduli ELCOM" – XXXV Congressino Microonde – Bagnara di Romagna 2012

³ Giovanni IK6EFN, Eraldo I4SBX

"Ancora i moduli ELCOM" – XXXVI Congressino Microonde – Bagnara di Romagna 2013

I moduli che saranno presi in considerazione in questa trattazione sono i seguenti:

Modello	PLL	Range Dichiarato	Moltiplicatore Interno	Riferimento Interno	Supportato
ILCDFSL-1201	ADF 4252B	11200 – 12000 MHz	4	10MHz	SI
ILCDFS-1301-c	ADF 4252B	12650-13350 MHz	5	10 MHz	Parziale
DFS-1301	PMB 2306	12650-13350 MHz	4	10MHz	SI
DFS-1201	PMB 2306	11200 – 12000 MHz	4	100MHz	SI
DSF-1102	PMB 2306	10200 – 10450 MHz	4	100MHz	SI

Nel proseguo della trattazione saranno descritti gli oscillatori suddetti e saranno presentate le modifiche che consentono di programmare in modo arbitrario la frequenza di uscita. Saranno presentati diversi schemi elettrici che sono stati sviluppati per l'hacking⁴ di questi componenti.

Il presente documento è supportato da una pagina web raggiungibile all'indirizzo:

<http://www.iz6cus.it/oscillatori-per-microonde/>

In questa pagina saranno pubblicati gli aggiornamenti al documento, al software e a tutte le informazioni necessarie per il corretto utilizzo dei componenti descritti.

Alimentazione del Modulo

I moduli Elcom si interfacciano con il mondo esterno attraverso un connettore a 10 PIN posto sul retro dell'apparato. Il connettore è polarizzato e questo garantisce che non vengano fatti errori nella alimentazione.

Il PINOUT del connettore è il seguente:

1	2	3	4	5	6	7	8	9	10
8V	12V	GND	GND	DATA	CLOCK	ENABLE	LOCK	N/C	N/C

La tensione di 8V è quella che garantisce le migliori prestazioni del sistema in termini di purezza spettrale. I moduli testati si sono dimostrati discretamente tolleranti ai maltrattamenti in tensione, anche se non è il caso di esagerare.

Il consumo in corrente è discreto. Si paga molto la presenza del riscaldatore del quarzo e dagli stadi di amplificazione del segnale. La corrente assorbita è di circa 350 mA sul ramo 8V. Sul ramo a 12V l'assorbimento iniziale è di circa 500mA che scendono poi a circa 250mA

Sconsiglio vivamente l'uso di regolatori di tensione a commutazione, ad esempio quelli basati su LM2596 reperibili su Ebay per pochi euro. La forma d'onda della tensione in uscita è triangolare e questo causa una

⁴ Adelmo De Santis – "Hack'n Ham – La realtà non ti soddisfa? Cambiala. Storia di Oscillatori, pazienza e fortuna" RadioKit Elettronica – Novembre 2015

modulazione in frequenza del segnale in uscita dal sintetizzatore⁵. Meglio rivolgere la propria attenzione a regolatori lineari, dotati di una generosa aletta di raffreddamento.

Altro elemento da considerare, nell'uso di questi dispositivi, è relativo al calore generato dal loro funzionamento. I sintetizzatori scaldano abbastanza, alcuni modelli diventano molto caldi al tatto. Nei miei esperimenti ho rivestito i sintetizzatori con del polistirene da imballaggio, per evitare la dissipazione del calore.

DFS-1301

Basato sul PLL Siemens PMB2306 in configurazione simile a quella presentata nel datasheet⁶. Le principali componenti al suo interno sono le seguenti:

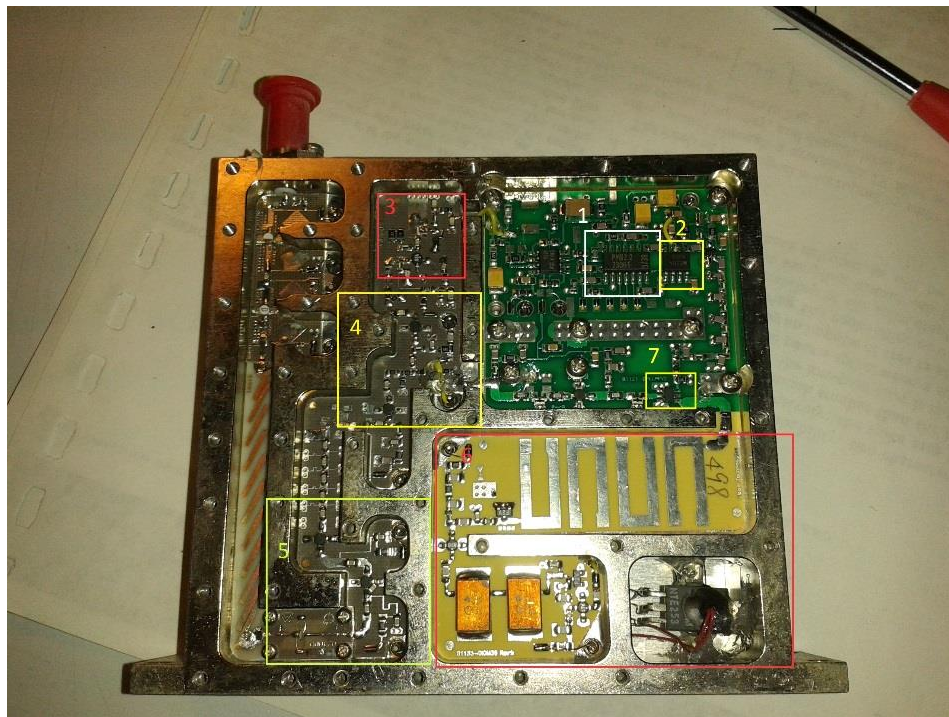


Figura 1- DFS1301

1- PMB2306 PLL Siemens

Si tratta di un componente non proprio recente. Viene venduto anche oggi, prodotto dalla Infineon, con la sigla PMB2304. La massima frequenza di ingresso è di 220MHz, basso consumo di corrente e ampio range di escursione dei divisori: A da 0 a 127, N da 3 a 16380 e R da 3 a 65535. Ha un piedino dedicato al pilotaggio di un prescaler esterno.

2- MC12026 Prescaler

Prescaler per applicazioni PLL con divisore selezionabile 8/9 o 16/17. In grado di lavorare fino a 1.1 GHz. La configurazione del prescaler è definita dal modo in cui sono alimentati due piedini.

3- VCO 3250MHz

Oscillatore realizzato con un diodo varicap ed un componente attivo.

4- Moltiplicatori e filtri 2x

Frequenza di uscita: 6500MHz

⁵ http://www.ariancona.it/6_2014.zip

⁶ Si veda tra gli allegati al presente documento.

- 5- Moltiplicatori e filtri 2x
Frequenza di uscita: 13000MHz
- 6- Oscillatore a 100MHz – Moltiplicatore x9 – Moltiplicatore x 3
Uscita 2700MHz. Questo stadio ha la funzione di generare una portante sinusoidale che viene utilizzata in combinazione con il mixer del punto successivo per convertire in discesa il segnale RF a 3250MHz che proviene dal VCO.
- 7- Mixer H285 (Hittite).
Realizza una conversione in discesa del segnale del VCO (3250MHz) in modo da poterlo fornire in ingresso al prescaler senza eccedere i limiti in frequenza del dispositivo. La frequenza di ingresso al prescaler è 550MHz.

Tutti i valori di frequenza indicati nella descrizione si riferiscono ad un prodotto “originale”, non manomesso e non programmato attraverso la seriale esterna. I valori misurati sono quelli ricavabili alla accensione del dispositivo utilizzando un oscilloscopio⁷ e di un analizzatore di spettro⁸. Quest’ultimo ha consentito di verificare tutte le frequenze in gioco nel sistema, in modo da avere un quadro dei valori di frequenza utilizzati. Non manca altro che determinare come viene programmato il PLL con i valori originali. In effetti attraverso questa analisi è possibile determinare il valore di partenza dei divisori e verificarlo con i valori di frequenza misurati nei singoli stadi.

Per determinare il modo in cui il PLL viene programmato all’avvio dell’oscillatore, conviene utilizzare un oscilloscopio digitale, utilizzandolo in modalità di acquisizione “single shot”. Dopo qualche tentativo e dopo avere messo i puntali sui piedini DATA e CLOCK del PLL è possibile acquisire la “comunicazione” tra PIC e PLL. Il processo di acquisizione è stato ripetuto anche per il segnale di ENABLE, in modo da ricostruire completamente la comunicazione tra il microcontrollore ed il PLL. In questa fase è stato anche ricostruito il valore del registro di configurazione STATUS2, che fornisce una serie di informazioni sul modo in cui il PLL viene configurato.

Il registro STATUS2 è organizzato come segue:

Tabella 1- Registro STATUS2 (indirizzo 01)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Val_A	1	1	1	1	1	1	0	0	0	1	0	1	1	1	0	1
Val_B ⁹	1	1	1	1	1	1	0	0	0	1	0	1	0	1	0	1

Significato dei campi:

- Bit 01: Data Acquisition Mode -> 0 async 1 sync
- Bit 02: Mode 1 (table)
- Bit 03: Mode 2 (table)
- Bit 04: PD- Polarity -> 0 negative 1 positive
- Bit 05: Standby 1 -> 0 Standby 1 active
- Bit 06: Standby 2 -> 0 Standby 1 active
- Bit 07: Anti Backslash pulse width 1 (table)
- Bit 08: Anti Backslash pulse width 2 (table)
- Bit 09: Preamplifier Select (table)

⁷ Tektronix TDS380

⁸ R&S FSEA20 e HP 853A+8559A

⁹ DFS-1301 Rev. D - Vedere la sezione apposita.

- Bit 10: Single or Dual Mode -> 0 single 1 dual
- Bit 11: Port 1 -> 0 low 1 high
- Bit 12: PD-Current 1 (table)
- Bit 13: PD-Current 2 (table)
- Bit 14: PD-Current 3 (table)
- Bit 15: Address 0
- Bit 16: Address 1

Status Bits		Multifunction Outputs		
Mode 2	Mode 1	MFO 1	MFO 2	Remarks
0	0	f_{RN}	f_{VN}	test mode
0	1	Φ_V	Φ_{RN}	external charge pump mode 1
1	0	Φ_{VN}	Φ_{RN}	external charge pump mode 2
1	1	Port 1	I_{REF}	internal charge pump mode

Figura 2- Tabella di programmazione MODE

Status Bits			PD-Current Mode
PD-Current 3	PD-Current 2	PD-Current 1	
0	0	0	0.175
0	0	1	0.25
0	1	0	0.35
0	1	1	0.5
1	0	0	0.7
1	0	1	1
1	1	0	1.4
1	1	1	2

Figura 3 - Tabella programmazione correnti

Status Bits			
Anti-Backlash Pulse Width 2	Anti-Backlash Pulse Width 1	t_w (typ.) [ns]	Application
0	0	1.3*	$V_{DD} = 5\text{ V}$
0	1	5	
1	0	10	not recommended
1	1	13**	any application where continuous lock detect required

* In general the shortest anti-backlash pulse gives the best system performance.

** No ABL (Anti-Backlash-Pulse) gating performed. This means, that at the LD output the anti-backlash pulse will appear. In the other cases the anti-backlash pulse will be suppressed at the LD output.

Figura 4 - Tabella programmazione Anti-backlash

Status Bits		Preamplifier Function Mode
Single/ Dual Mode	Preamplifier Select	
0	0	FI-input frequency, single HF-mode
0	1	FI-input frequency, single LF-mode
1	0	FI-input frequency, dual mode, FI-trigger edge LH, MOD A
1	1	FI-input frequency, dual mode, FI-trigger edge HL, MOD B

Figura 5- Tabella programmazione Preamplificatore.

Standby Table

	Output Pins					
Status	MFO 1		MFO 2	LD	PD	MOD
	Φ_V	Φ_{VN}				
Standby 1	low	high	high	resistive	tristate	low
Standby 2	low	high	high	resistive	tristate	low

Figura 6 - Tabella programmazione StandBy

Per quanto riguarda i registri R ed N/A la situazione è la seguente (in arancione sono indicati i bit riservati all'indirizzamento del registro).

Tabella 2- Registro n- n/a(indirizzo 10) ed R (indirizzo 11)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
Val_A	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	0	0
Val_B ¹⁰	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1	0

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Val A	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
Val B ¹¹	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1

Analizzando i tracciati è possibile determinare il valore originale di A:8, N:27 ed R:8 e fare qualche considerazione. Il divisore R applicato alla frequenza di ingresso di riferimento del PLL 10MHz, comporta un valore 1.25MHz (step minimo). Tuttavia per ottenere il segnale di uscita a 13GHz, viene effettuata una moltiplicazione x4, che porta il valore dello step minimo a 5MHz (1.25 moltiplicato 4). Considerando il principio di funzionamento del PLL, dobbiamo soddisfare la seguente equazione:

$$\frac{F_{out}}{Div} = \frac{Ref}{R} = 1.25$$

Nella precedente Div=NP+A in cui P è il valore del prescaler esterno. Tale valore può essere calcolato attraverso il datasheet, tramite misura o verificando la configurazione hardware e notando che sul piedino

¹⁰ DFS-1301 Rev. D - Vedere la sezione apposita.

¹¹ DFS-1301 Rev. D - Vedere la sezione apposita.

di uscita del prescaler è presente una frequenza di 34375 kHz. Viene pertanto effettuata una divisione per 16 della frequenza del segnale in ingresso a 550 MHz.

Con tutti questi elementi a disposizione e ricordando che il PLL è alimentato con un segnale avente frequenza di 550MHz:

$$\frac{550}{1,25} = NP + A; 440 = 27 \cdot 16 + 8;$$

I valori di N P ed A sono tali da verificare l'equazione in gioco e quindi sono corretti in relazione alle frequenze che sono state misurate nel sistema. A questo punto è possibile scrivere la formula che restituisce la frequenza di uscita dell'oscillatore a partire dai valori di N P ed A:

$$F_{out} = \left(((P \cdot N + A) \cdot 1.25) + 2700 \right) * 4$$

Equazione 1

Questa equazione può essere utilizzata all'interno di un foglio di calcolo per determinare la frequenza di uscita del sistema in modo semplice ed immediato.

Da quanto detto appare chiaro che la prima modifica necessaria per potere utilizzare con successo i moduli nell'ambito delle microonde è quella relativa alla variazione dello step minimo realizzabile. Occorre infatti scendere dai 5MHz standar ad 1MHz. Per fare questo è necessario intervenire sul rapporto $\frac{Ref}{R}$ in modo da portarlo a 0.25 (moltiplicato per un fattore 4, otteniamo 1MHz). Pertanto è necessario impostare un diverso valore per il registro R, portandolo da 8 (originale) a 40. Con questa semplice considerazione abbiamo già determinato il nuovo valore di uno dei registri interni. Modificando la Equazione 1 ed inserendola nel foglio di calcolo, possiamo determinare in modo automatico il valore di N ed A anche nel caso in cui lo step sia 1MHz. Attenzione al fatto che il moltiplicatore A lavora prossimo al suo limite e che le prestazioni in termini di rumore di fase peggiorano.

Modifica interna.

Per potere programmare direttamente il PLL attraverso l'interfaccia seriale è necessario apportare alcune piccole modifiche hardware al sistema, per rendere disponibili i pin del PLL direttamente sull'interfaccia esterna.

Prima di descrivere la modifica si riporta la configurazione del Microcontrollore:

Pin	Segnale	Pin	Segnale	Pin	Segnale	Pin	Segnale
1	Progr.	8	GND	15		22	PLL - Lock
2	Progr.	9	Osc	16	PLL-Data	23	EXT – LOCK
3		10		17	EXT – CLOCK	24	
4		11		18	EXT – DATA	25	PLL –ENABLE
5		12		19	GND	26	
6		13		20	Vcc	27	Progr.
7		14	PLL Clock	21	EXT -ENA	28	Progr.

I piedini in giallo sono stati sollevati dallo stampato in modo da impedire che il PIC possa programmare il PLL. Contemporaneamente è stata realizzata una connessione tra la interfaccia esterna ed i PAD passanti, come mostrato in figura.

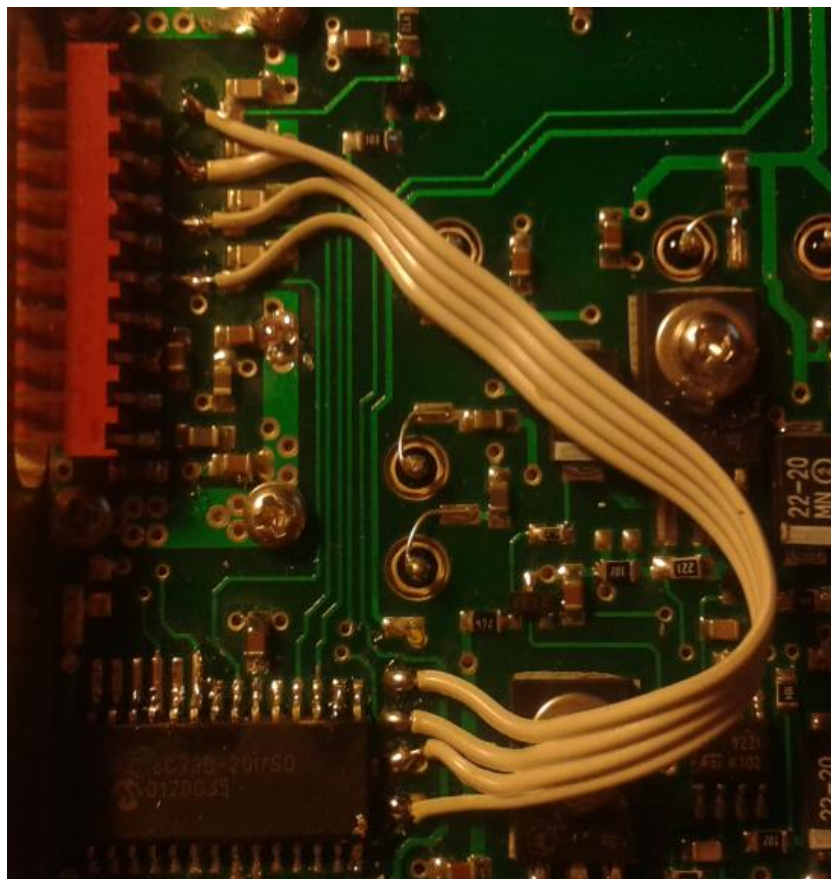


Figura 7- connessione PLL interfaccia esterna.

Il Pin out dei PAD è il seguente:

TOP (connettore a sinistra dall'alto al basso) Connettore SMA in alto a sinistra.				
5	4	3	2	1
Clock	Data	Enable	Lock Detect	--
BOTTOM				
1	2	3	4	5
--	Lock (P14 pll)	Enable (P3 PLL)	Data (P4 PLL)	Clock (P5 PLL)

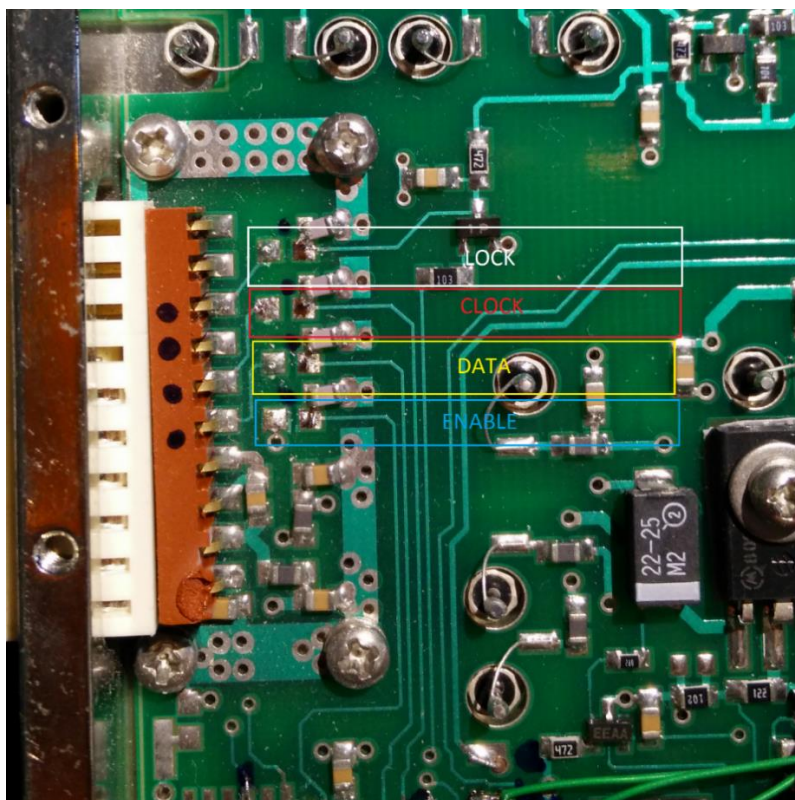


Figura 8 - Collegamento dei PAD del connettore.

La modifica degli oscillatori può essere compiuta con semplici passi.

- Aprire la sezione di controllo dell'oscillatore (quella con meno viti);
 - Posizionare l'oscillatore con il connettore rosso a sinistra ed il connettore SMA in alto.



Figura 9 - Posizione di riferimento.

- Rimuovere i resistori alla destra del connettore.

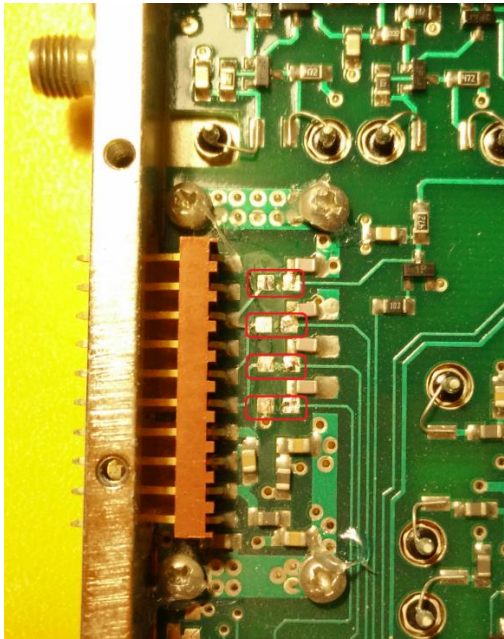


Figura 10 - Resistori rimossi.

- Nominare i pad come in figura:

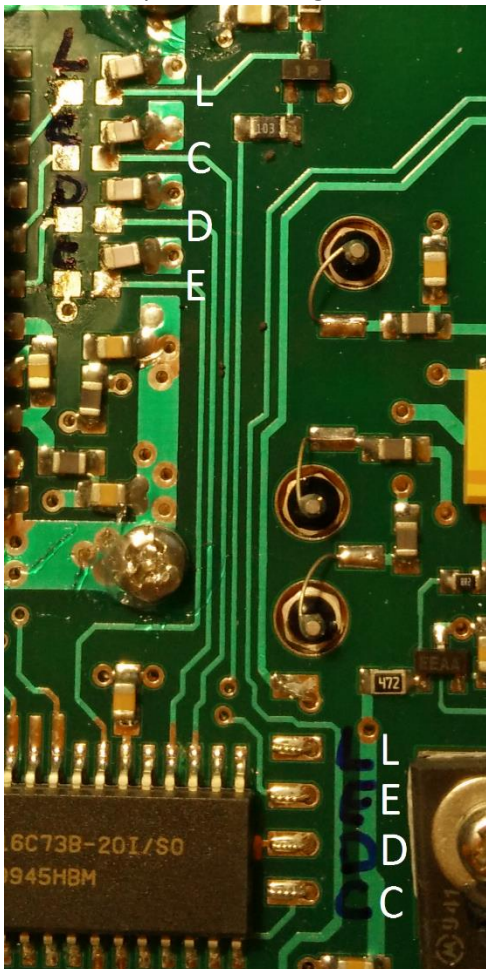


Figura 11 - Come nominare i PAD

- Scollegare i piedini del PIC con numero: 14 – 16 – 22 - 25
- Collegare con un sottile cavo i PAD presenti in prossimità del PIC con i rispettivi pad vicino al connettore.

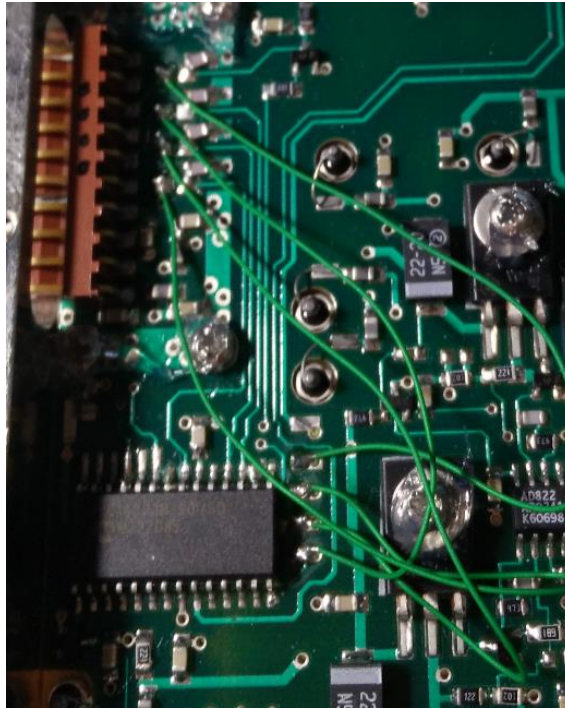


Figura 12 - Fine della modifica.

Configurazioni Utilizzate

Le configurazioni che sono state codificate ed utilizzate sono le seguenti (DFS-1301 Rev.C) :

Frequenza	R	N	N Hex	A	A hex	Note
12672	40	112	70	80	50	Beacon
12648	40	110	6E	88	58	IF=144MHz
12600	8	22	16	8	8	IF=432MHz
12456	40	98	62	88	58	IF=1296MHz
12650	8	23	17	2	2	Frequenza di test 1
13000	8	27	1B	8	8	Frequenza di test 2
13200	8	29	1D	16	10	Frequenza di test 3
13000	40	143	84	88	58	Frequenza di test 4

Per la programmazione del sistema sono stati scritti programmi sia per piattaforma Raspberry PI (utilizzando una interfaccia di tipo bit-bang) sia per microcontrollori Microchip (16F628 e 18F25K50).

DFS-1301 Rev. D

Alcune unità DFS-1301 si sono dimostrate diverse nel comportamento in quanto, ad una analisi approfondita, mostrano sia differenze hardware che software. Esteticamente le unità sono indistinguibili e il Part Number non fornisce indicazioni importanti.

La marcatura delle board che compongono il dispositivo è la seguente:

Sezione	Logica	RF Gialla	RF Verde	Moltiplicatori 1	Filtro / Ampli
Revisione C	B1111 GIGDC rev.C	B1155 GIGM39 Rev. B	B1121 GPLLPF V 2	B1154 GHF V 3	B 1183 Rev b
Revisione D	B1111 GIGDC Rev D	B1155 GIGM39 Rev B	B1121 GPLLPF V 3	B1154 GHF V 2	B 1183 Rev b

Le differenze circuitali sono rappresentate dalle figure seguenti:

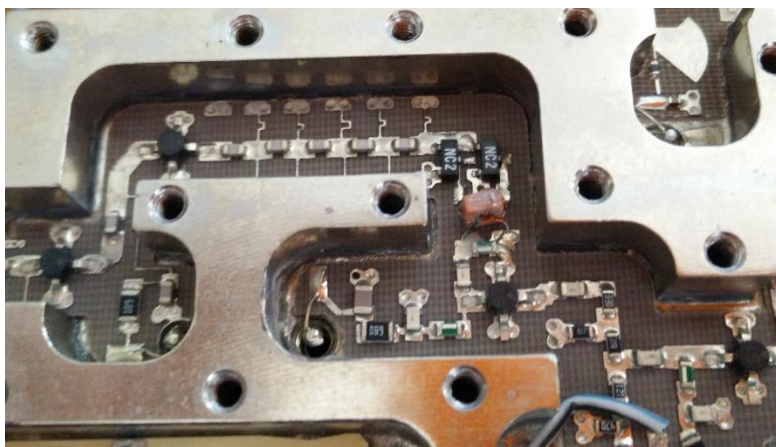


Figura 13- Particolare del trasformatore

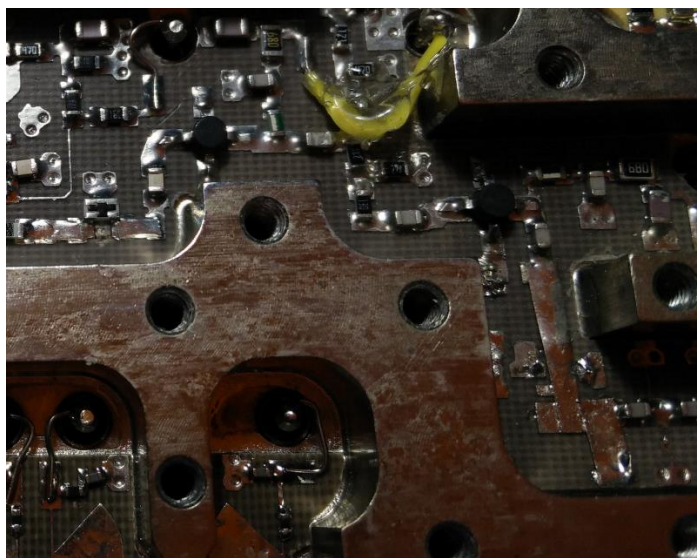


Figura 14 - Particolare dell'oscillatore standard senza trasformatore.



Figura 15 - Board PLL con condensatore differente



Figura 16 - Particolare dell'oscillatore con isolante termico

Per questo tipo di dispositivo la stringa di configurazione è diversa:

Registro	Revisione C	Revisione D
Status 2	0xFC – 0x5D	0xFC – 0x55
R	8	8
N/A	N=27 A=8	N=55 A=0

Come è possibile desumere dagli screenshot:

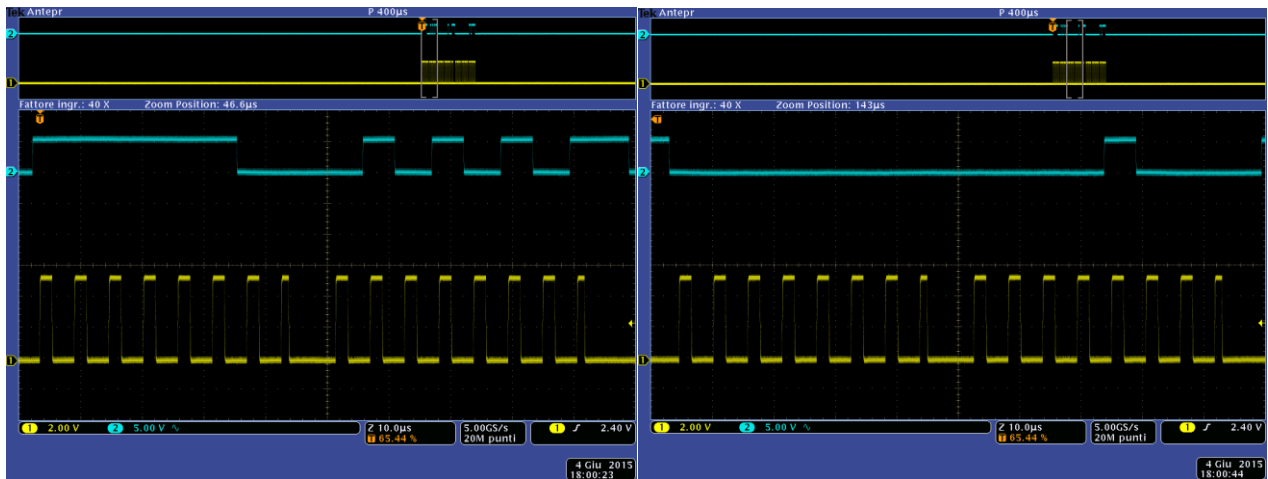


Figura 17- Protocol Grab del PIC Parte 1 e 2

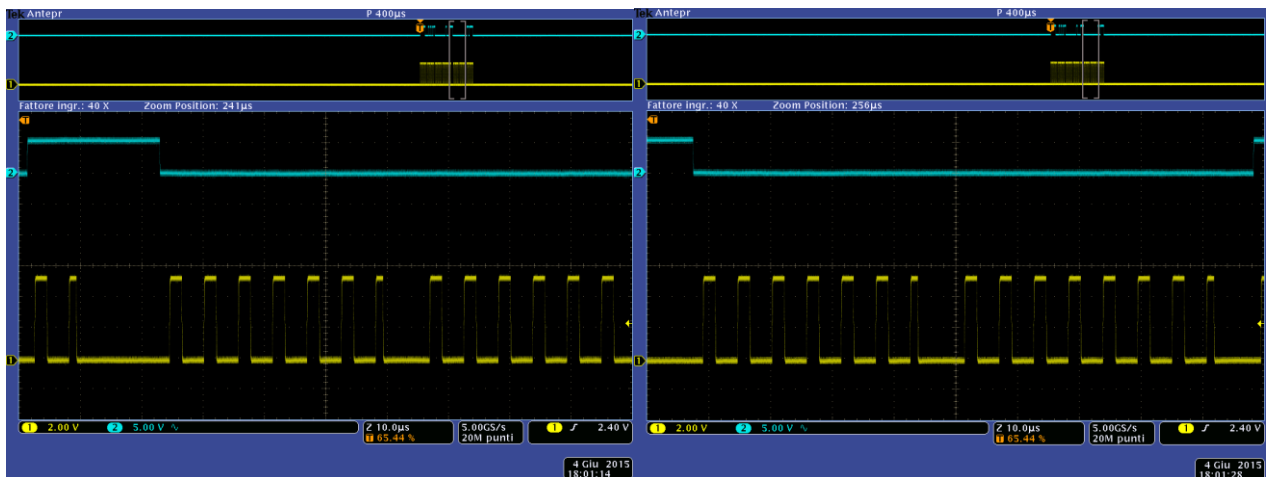


Figura 18- Protocol Grab del PIC Parte 3 e 4

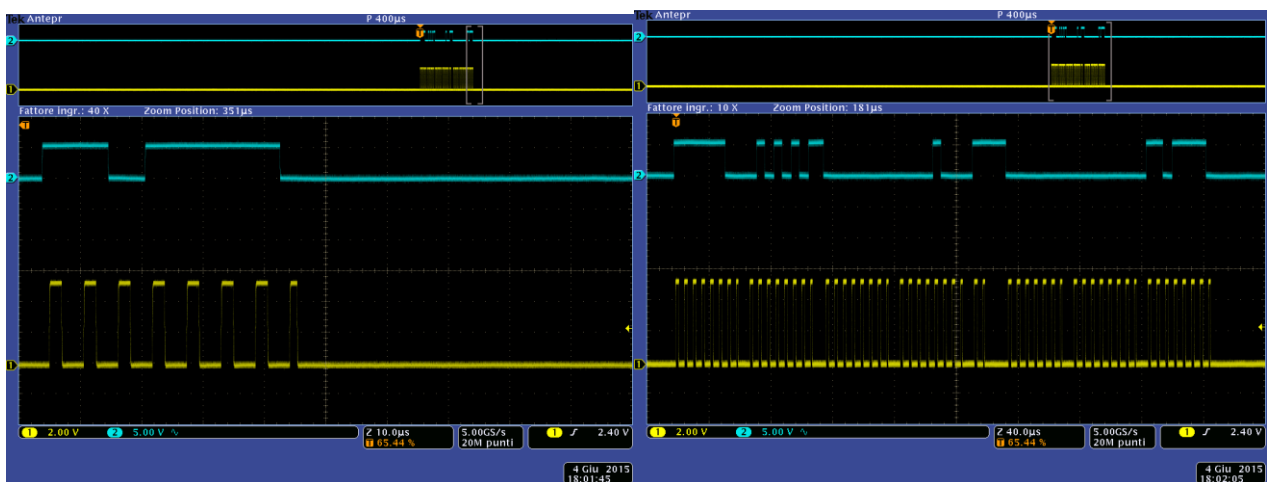


Figura 19- Protocol Grab del PIC Parte 5 e 6

Analizziamo il modo in cui è programmato il dispositivo partendo dal registro Status2. L'unico bit che differenzia i due registri è relativo al PD-Current (corrente del rilevatore di fase). Nel caso della revisione C è

programmato “111”, ovvero PD-Current Mode 2. Nella revisione D il registro PD-Current è impostato ad 1. Dalla lettura del datasheet sembra che questo valore influenzi solo la corrente che viene utilizzata nella programmazione. Il valore della frequenza deve essere quindi influenzato da un altro fattore. Per questo entra in gioco il prescaler esterno MC12026A¹². Questo è in grado di lavorare con diversi fattori di divisione, a seconda di come viene programmato, come mostrato in figura.

Table 1. FUNCTIONAL TABLE

SW	MC	Divide Ratio
H	H	8
H	L	9
L	H	16
L	L	17

1. SW: H = V_{CC} , L = Open. A logic L can also be applied by grounding this pin, but this is not recommended due to increased power consumption.
2. MC: H = 2.0 V to V_{CC} , L = GND to 0.8 V.

PIN CONNECTIONS

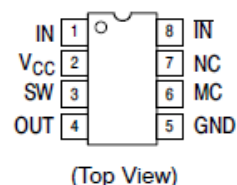


Figura 20- Programmazione del prescaler esterno.

Misure eseguite sul circuito hanno confermato che nella revisione D i piedini SW ed MC sono entrambi in stato logico H.

Analizzando il modo in cui sono programmati il registro R (valore 8) ed il registro dei divisori N(55) ed A (0) e modificando la Equazione 1 in modo da tenere conto del prescaler con valore 8, si può verificare con un foglio di calcolo che la frequenza di uscita è correttamente impostata a 13GHz. A questo punto è possibile calcolare i valori dei registri per ottenere le frequenze desiderate di 12648MHz e 12672MH. La tabella di programmazione diviene la seguente:

Frequenza	R	N	N Hex	A	A hex	Note
12672	40	234	EA	0	0	Beacon
12648	40	230	E6	8	8	IF=144MHz
12600	8	45	2D	0	0	IF=432MHz
12456	40	206	CE	8	8	IF=1296MHz
12650	8	46	2E	2	2	Frequenza di test 1
13000	8	55	37	0	0	Frequenza di test 2
13200	8	60	3C	0	0	Frequenza di test 3
13000	40	274	112	8	8	Frequenza di test 4

¹² Datasheet fornito nella cartella integrazioni.

DFS1201

Oscillatore con range di frequenza compreso tra 11200MHz e 12000MHz. Si presenta esteticamente del tutto uguale ai membri della sua nutrita famiglia. All'accensione si posiziona a 11600MHz.

Internamente l'organizzazione e la disposizione dei componenti segue uno schema ben noto, anche in questo caso si possono identificare diverse revisioni hardware.



Figura 21 - Lato logica di controllo, revisione D

Il lato radiofrequenza mostra i tratti distintivi delle revisioni D: presenza del trasformatore e di un grosso condensatore a lato del PLL (Siemens PMB2306T).

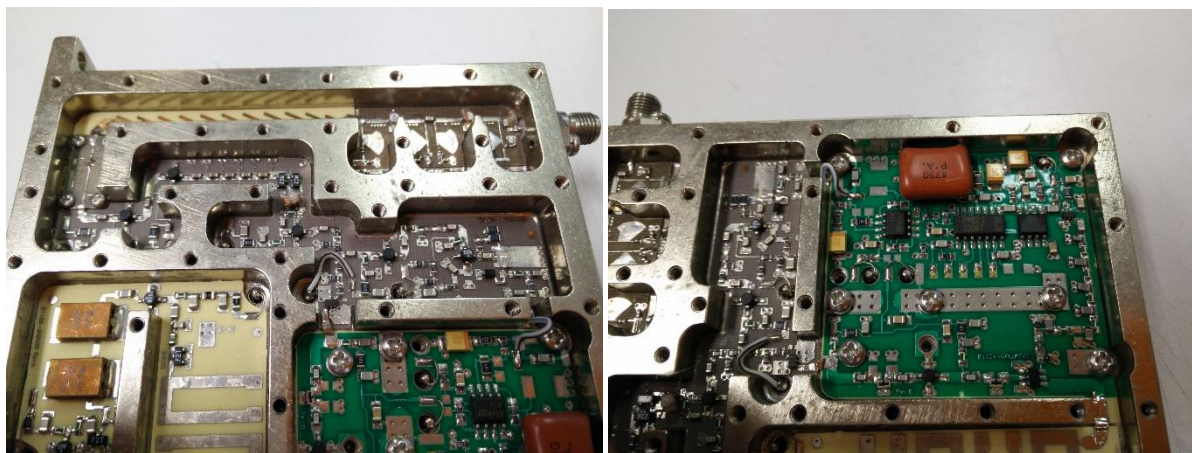


Figura 22- DFS1201D particolari del trasformatore e del condensatore.

Anche in questo caso l'oscillatore è ben coibentato con della schiuma poliuretanic. La frequenza dell'oscillatore è di 100MHz.

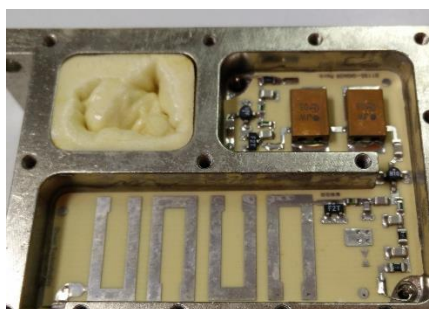


Figura 23 – Oscillatore

La marcatura delle board che compongono il dispositivo è la seguente:

Sezione	Logica	RF Gialla	RF Verde	Moltiplicatori 1	Filtro / Ampli
DFS-1201 Revisione C					
DFS-1201 Revisione D	B1111 –GIGDC Rev.D	B1155 – GIGM39 Rev.B	B1121 – GPLLPFV2	B1154 – GHFV3	B1183 – Rev B

Confrontando i dati di questa tabella con quelli relativi ai DFS-1301, si evince come molti componenti possano essere scambiati tra di loro. Questo fattore può risultare molto importante per garantire una buona scorta di ricambi.

Sezione	Logica	RF Gialla	RF Verde	Moltiplicatori 1	Filtro / Ampli
DFS-1301 - Revisione C	B1111 GIGDC rev.C	B1155 GIGM39 Rev. B	B1121 GPLLPF V 2	B1154 GHF V 3	B 1183 Rev b
DFS-1301 Revisione D	B1111 GIGDC Rev D	B1155 GIGM39 Rev B	B1121 GPLLPFV3	B1154 - GHFV2	B 1183 - Rev b

Programmazione Originale

Si parte come sempre dal pinout del Microcontrollore

Prima di descrivere la modifica vediamo come è connesso il Microcontrollore:

Pin	Segnale	Pin	Segnale	Pin	Segnale	Pin	Segnale
1	Progr.	8	GND	15		22	PLL - Lock
2	Progr.	9	Osc	16	PLL-Data	23	EXT – LOCK
3		10		17	EXT – CLOCK	24	
4		11		18	EXT – DATA	25	PLL –ENABLE
5		12		19	GND	26	
6		13		20	Vcc	27	Progr.
7		14	PLL Clock	21	EXT -ENA	28	Progr.

Lo screenshot della programmazione originale è il seguente:

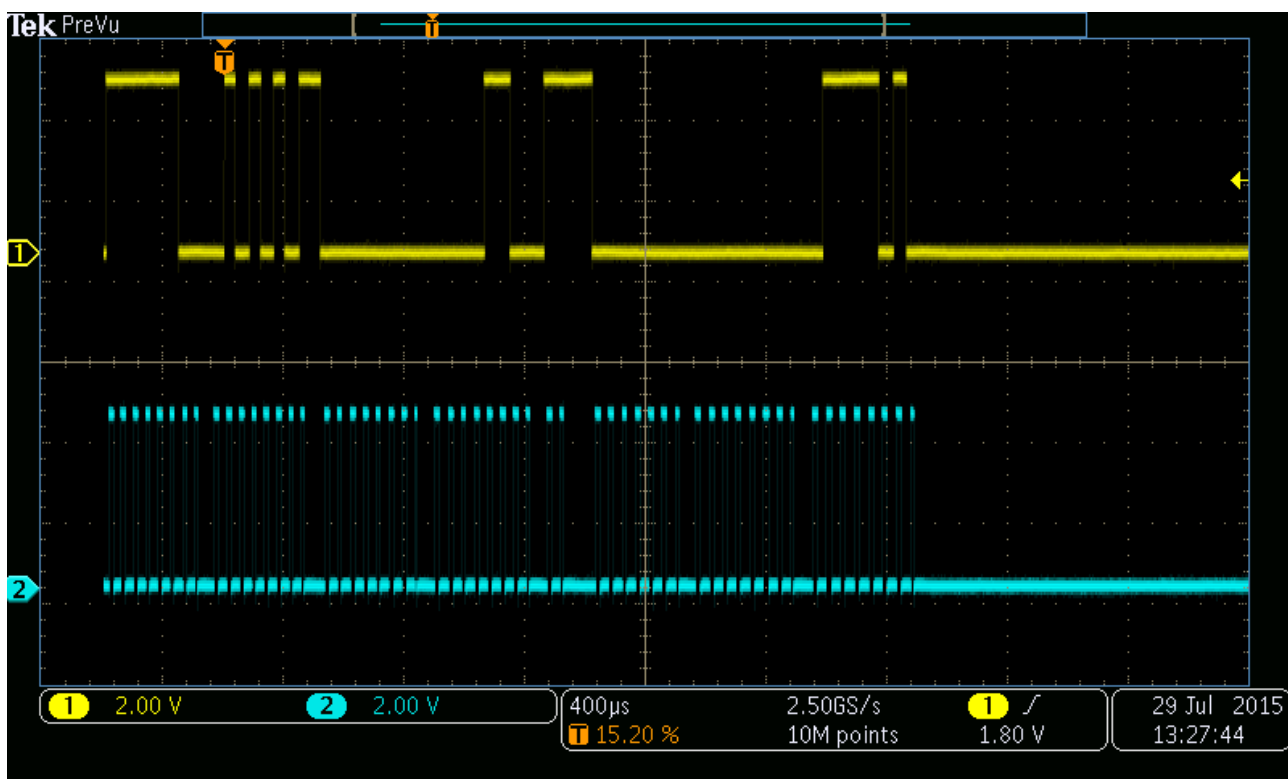


Figura 24 - Programmazione originale del PIC Rev. D

Da questo è possibile desumere il valore dei registri. La spiegazione del significato del singolo registro non viene riportata in quanto analoga al caso del DFS-1301. Si rimanda pertanto al datasheet per le considerazioni del caso.

Tabella 3- Registro STATUS2 (indirizzo 01)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Rev.D	1	1	1	1	1	1	0	0	0	1	0	1	0	1	0	1

Tabella 4- Registro n- n/a (indirizzo 10)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
Rev C																							
Rev D	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0

Tabella 5 - Registro R (indirizzo 11)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Rev C																		
Rev D	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1

Interpretazione del valore dei registri. Il registro R è programmato per un valore di 12. Il registro A è programmato per un valore di 0 mentre N ha valore 30. Per potere analizzare il funzionamento è necessario fare delle misure di frequenza sul sistema.

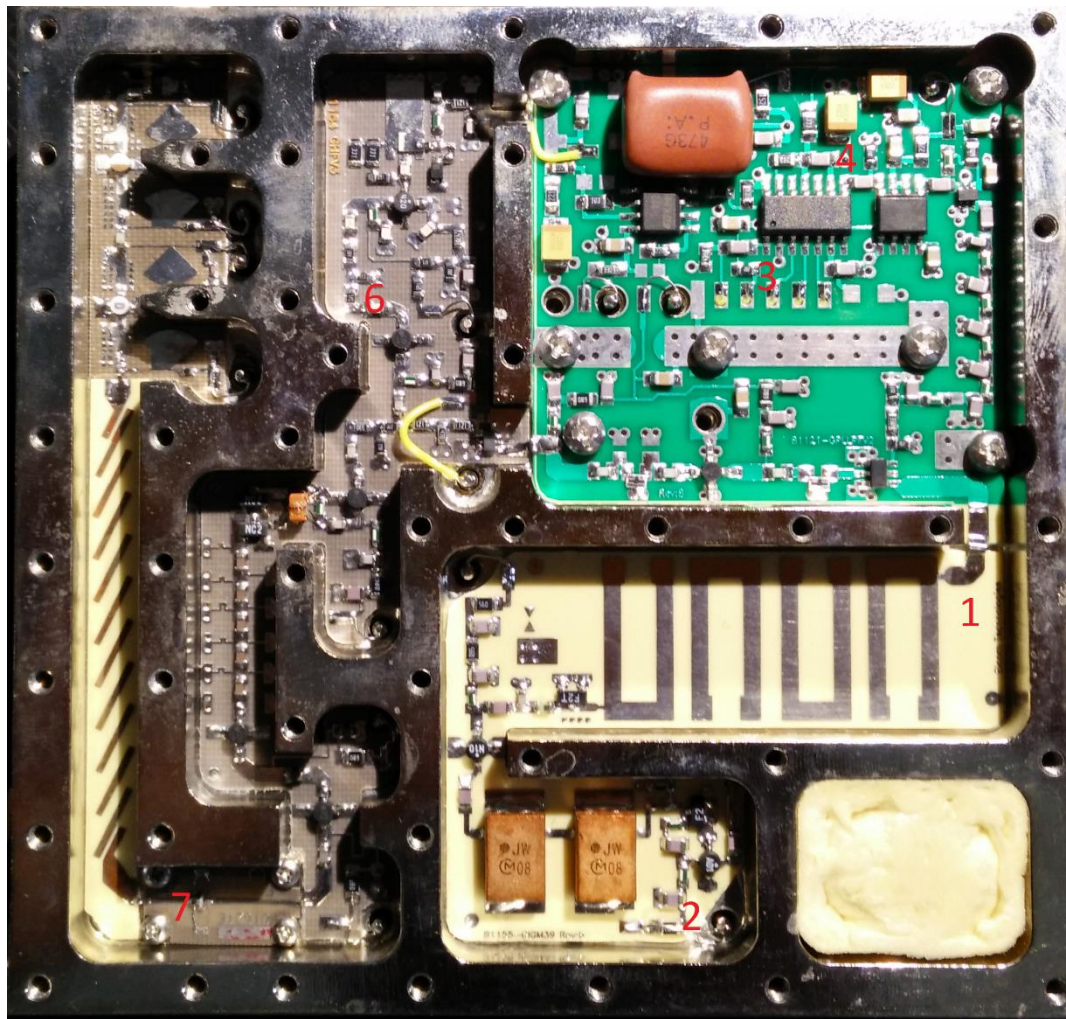


Figura 25- Punti di misura.

Punto misura	Valore	Significato
1	2700 MHz	Uscita del moltiplicatore per la down conversion
2	100 MHz	Uscita Oscillatore
3	10 MHz	Frequenza di riferimento PLL
4	25 MHz	Frequenza di VCO
5	200 MHz	Frequenza di uscita prescaler
6	2900 MHz	Frequenza di uscita del VCO
7	11600 MHz	Frequenza di uscita dell'oscillatore

Da quanto misurato si evince che il prescaler effettua una divisione per un fattore 8. Riprendendo le formule utilizzate nello studio del DFS-1301:

$$\frac{F_{out}}{Div} = \frac{Ref}{R} = \frac{10}{12} = 0,833$$

Moltiplicando questo valore per un fattore 4 (stadi di moltiplicazione interna all'oscillatore) si ottiene lo step minimo producibile con questa configurazione: 3,33 MHz.

$$F_{out} = \left(((P \cdot N + A) \cdot 0.833) + 2700 \right) * 4$$

Inserendo i valori di default ricavati dall'analisi del protocollo di programmazione si ottiene:

$$F_{out} = \left(((8 \cdot 30 + 0) \cdot 0.833) + 2700 \right) * 4 = 11599$$

Con questi dati è possibile costruire un foglio di calcolo per la determinazione dei valori di N,R ed A necessari per ottenere le frequenze di nostro interesse.

Frequenze di interesse.

Dall'analisi della letteratura radioamatoriale reperita in rete, appare come questo oscillatore venga prevalentemente utilizzato per sistemi operanti a 47GHz ed a 24GHz. Sono state prese in considerazione le seguenti frequenze operative:

Frequenza	R	N	N Hex	A	A hex	Note
11772	40	121	79	4	4	Beacon 47 GHz
11736	40	116	74	8	8	47GHz – IF 144 MHz
11414	40	76	4C	6	6	47GHz – IF 432 MHz
11448	40	80	50	8	8	47GHz – IF 1296 MHz
12024	40	152	98	8	8	Beacon 24GHz
11952	40	143	8F	8	8	24GHz – IF 144 MHz
11808	40	126	7E	0	0	24 GHz – IF 432 MHz
11376	40	72	48	0	0	24 GHz – IF 1296 MHz
12000	R=8	45	2D	0	0	Test 1
12000	R=40	150	96	0	0	Test 2

Importante notare come la frequenza 12024MHz sia stata mantenuta malgrado esibisca una bassa stabilità. Molto probabilmente, trovandosi all'estremo superiore del campo di funzionamento del dispositivo, il PLL stenta ad agganciare.

Modifica Rapida

Vedere la sezione dedicata al DFS-1301. Il procedimento è del tutto analogo. Si richiama la nomenclatura dei piedini:

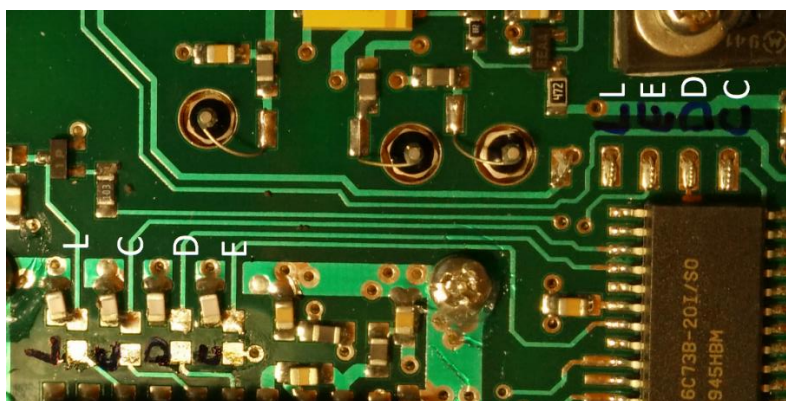


Figura 26 - Nomenclatura piedini

Si ricorda anche di scollegare i seguenti PIN del microcontrollore: 14 (clock) – 16 (data) – 22 – 25.

DFS-1101

Il modulo DFS1101 è caratterizzato da una copertura in frequenza dichiarata che si estende da 10575MHz a 11400MHz. All'accensione il dispositivo si posiziona a 11000MHz.

La disposizione interna dei componenti del lato "logica" è ormai familiare. Notare come non sia presente isolante termico attorno all'oscillatore locale.



Figura 27 - Disposizione componenti lato "logica"

La marcatura delle board che compongono il dispositivo è la seguente:

Sezione	Logica	RF Gialla	RF Verde	Moltiplicatori 1	Filtro / Ampli
DFS-1101 Revisione C	B1111 – GIGDC rev. D	10-120-03-P1	B1121 – GPLLPFV4 – Rev. D	B1154 – GHFv5	1101

Programmazione Originale

Si parte come sempre dal pinout del Microcontrollore

Prima di descrivere la modifica vediamo come è connesso il Microcontrollore:

Pin	Segnale	Pin	Segnale	Pin	Segnale	Pin	Segnale
1	Progr.	8	GND	15		22	PLL - Lock
2	Progr.	9	Osc	16	PLL-Data	23	EXT – LOCK
3		10		17	EXT – CLOCK	24	
4		11		18	EXT – DATA	25	PLL –ENABLE
5		12		19	GND	26	
6		13		20	Vcc	27	Progr.
7		14	PLL Clock	21	EXT -ENA	28	Progr.

Gli screenshot della programmazione originale sono i seguenti:

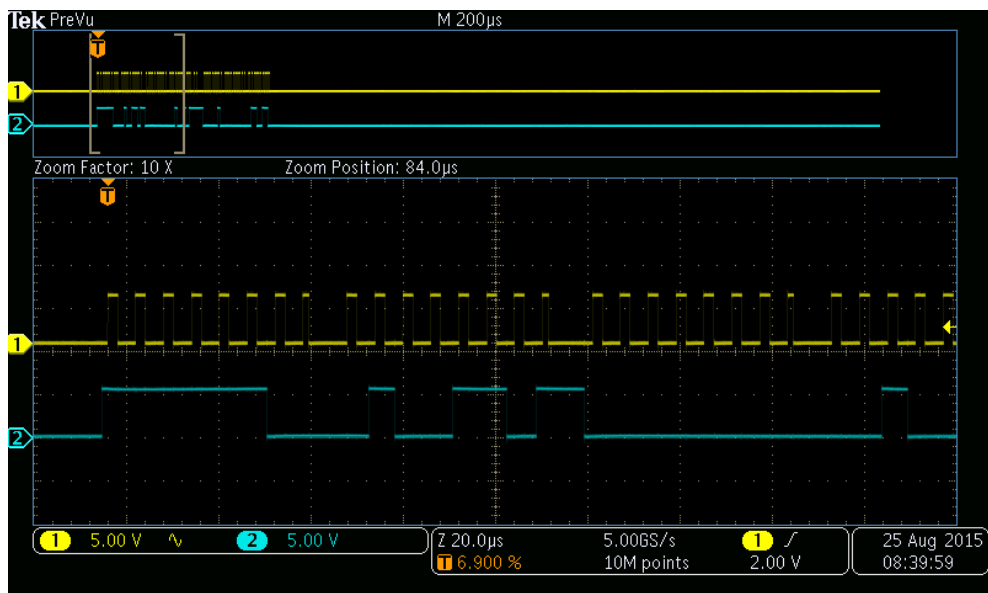


Figura 28 - Programmazione originale PLL DFS-1101 (1)

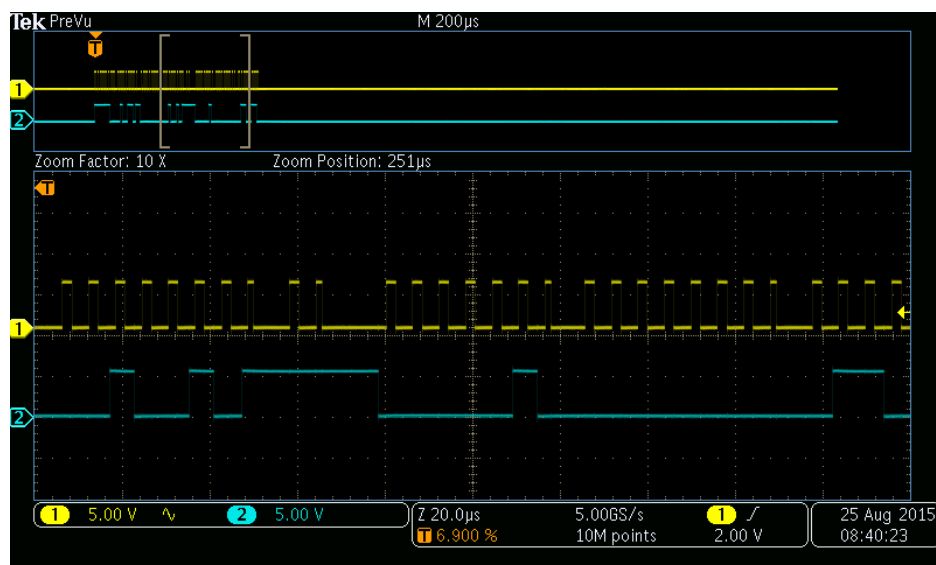


Figura 29 - Programmazione originale PLL DFS-1101 (2)

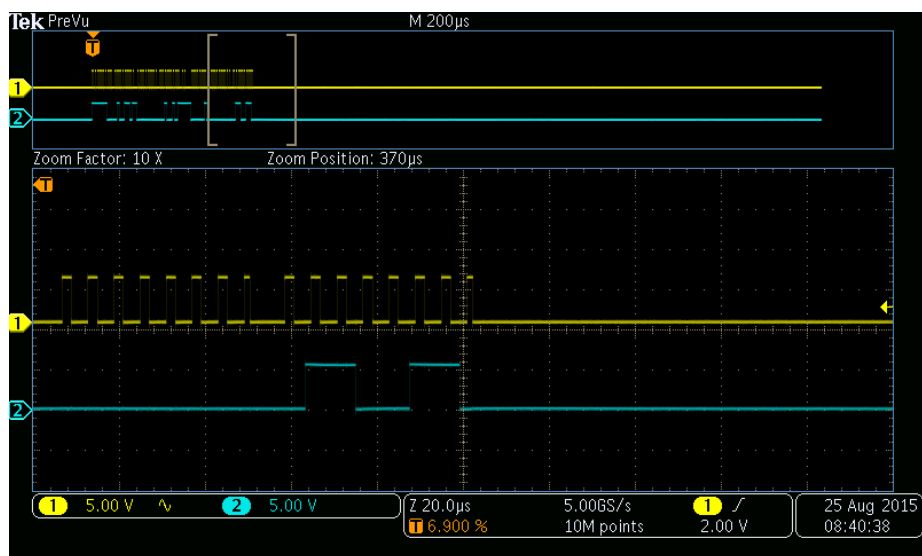


Figura 30 - Programmazione originale PLL DFS-1101 (3)

Da questo è possibile desumere il valore dei registri. La spiegazione del significato del singolo registro non viene riportata in quanto analoga al caso del DFS-1301. Si rimanda pertanto al datasheet per le considerazioni del caso.

Tabella 6- Registro STATUS2 (indirizzo 01)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Rev.C	1	1	1	1	1	1	0	0	0	1	0	0	1	1	0	1

Tabella 7- Registro n- n/a (indirizzo 10)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
Rev C	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0

Tabella 8 - Registro R (indirizzo 11)

Bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Rev C	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	1	1

Commento alla programmazione.

Il registro status2 è programmato in modo differente rispetto al caso del 1201. Confrontando solo l'ultimo byte:

Bit	9	10	11	12	13	14	15	16
DFS-1201	0	1	0	1	0	1	0	1
DFS-1101	0	1	0	0	1	1	0	1

La differenza riguarda il gruppo di 3 bit che si occupano della definizione della corrente del rilevatore di fase. In particolare, nel DFS-1201 è impostata ad 1, mentre nel DFS-1101 è impostata a 0.5.

Per quanto riguarda il valore dei registri: A=2, N=25 ed R=37. Una verifica strumentale dei valori misurati è d'obbligo, vista la peculiarità del sistema.

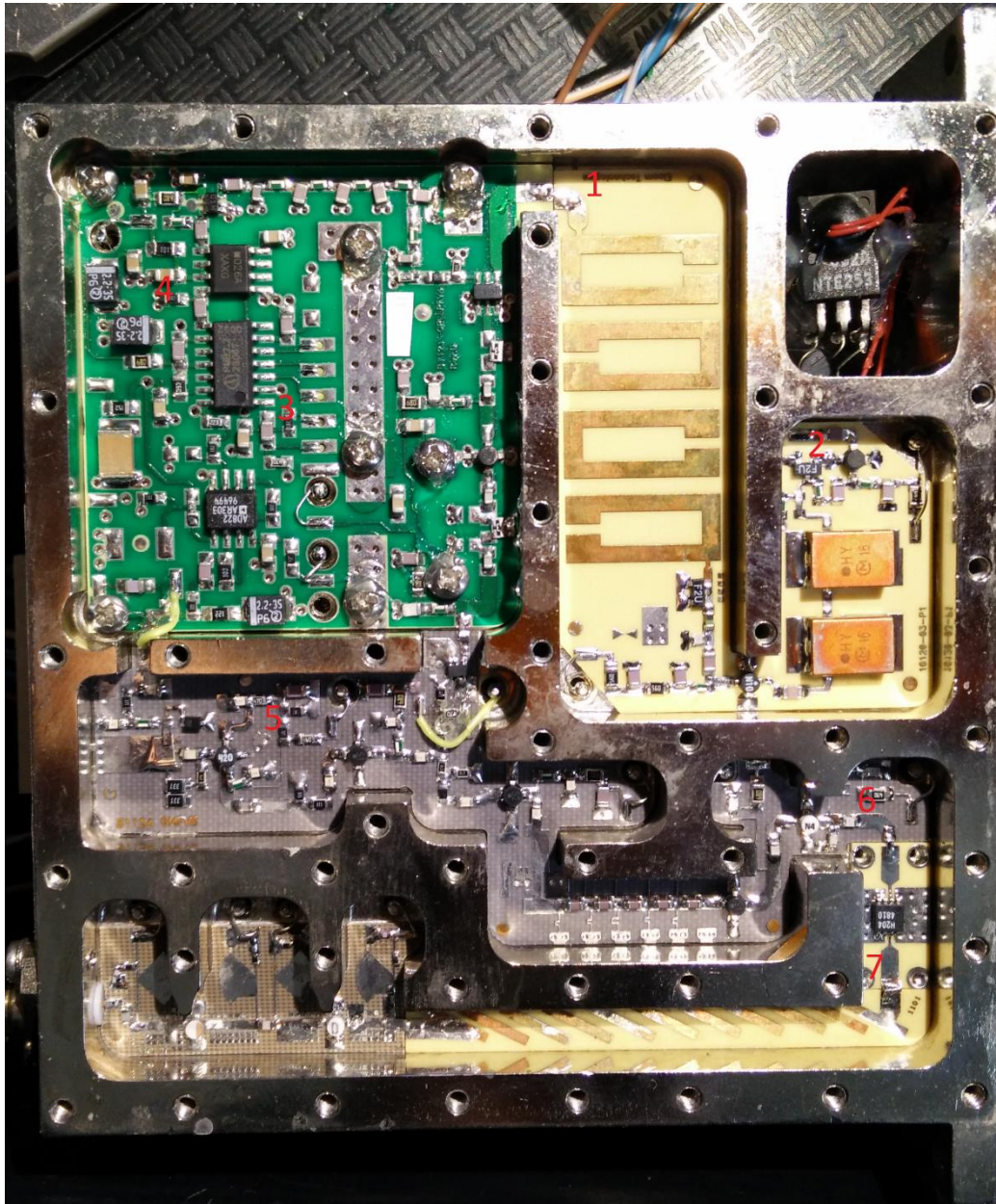


Figura 31 - Immagine di riferimento per le misure di frequenza.

In questo documento, i punti di misura saranno descritti anche a parole, in modo da renderne più facile l'individuazione.

Punto 1

Uscita del moltiplicatore per la down conversion. Si tratta di un sistema di moltiplicazione della frequenza di riferimento (100MHz) realizzato con degli amplificatori ed un filtro in microstriscia. Il valore viene letto all'uscita del filtro, dove il segnale entra nel mixer.

Punto 2

Frequenza di riferimento dell'oscillatore interno. E' uno dei punti più comodi per la misura e non richiede strumenti molto sensibili.

Punto 3

Piedino 1 del PLL, ovvero RI "Reference Frequency". Su questa frequenza agiscono tutti gli stadi di divisione interna.

Punto 4

Piedino FI del PLL, ovvero “VCO Frequency”. Segnale in uscita dal prescaler attraverso il piedino 4. Il segnale in ingresso al prescaler può essere misurato sul piedino 1.

Punto misura	Valore	Significato
1	2497.5MHz	Uscita del moltiplicatore per la down conversion
2	92MHz	Frequenza di riferimento PLL
3	46MHz	Frequenza di VCO
4a	31 MHz	Frequenza di uscita del prescaler
4b	252 MHz	Frequenza di ingresso del prescaler
5	2750 MHz	Frequenza di uscita del VCO
6	5500 MHz	Uscita dello stadio moltiplicatore
7	11000 MHz	Uscita del secondo stadio moltiplicatore

Anche in questo caso il prescaler effettua una divisione per 8. La cosa interessante in questo oscillatore è il valore della frequenza di riferimento che non è il “solito” 10MHz. In questo caso abbiamo circa 46,250MHz.

$$\frac{F_{out}}{Div} = \frac{Ref}{R} = \frac{46.25}{37} = 1.25$$

Lo step minimo di canalizzazione è quindi 5 MHz. Appliciamo adesso le formule per il calcolo della frequenza di uscita del sistema, occorre essere piuttosto precisi nella misura di frequenza:

$$F_{out} = ((P \cdot N + A) \cdot 1.25) + 2497.5) * 4$$

Sostituendo i valori ricavati dall’analisi del protocollo:

$$F_{out} = ((8 \cdot 25 + 2) \cdot 1.25) + 2497.5) * 4 = 11000 \text{ MHz}$$

Con questi dati è possibile compilare un foglio di calcolo per determinare i valori di A ed N necessari per programmare alcune frequenze di interesse.

Frequenze di interesse.

Occorre precisare, a questo punto, che il DFS-1101 è stato acquistato per essere utilizzato in coppia con un EYEGAL per i 10GHz. Per questo scopo deve essere generata una frequenza di 9940MHz. Inoltre si potrebbe utilizzare anche come oscillatore locale per i 10368MHz:

Analizzando il foglio di calcolo appare evidente come l’unità non possa, a meno di modifiche importanti, scendere al di sotto dei 9998MHz. Pertanto, la possibilità di impiegarla come oscillatore per il EyeGal sfuma. Le altre frequenze sono facilmente ottenibili aumentando molto il valore di R per ottenere gli incrementi da 1MHz.

Frequenza IF	Risultante	R	N	N Hex	A	A Hex	Note
144 (-)	10224	185	29	19	2	0x02	Rimossa dal codice. Non aggancia
144 (+)	10512	185	65	41	2	0x02	
432 (-)	9927	Non realizzabile!					
432(+)	10800	185	100	64	10	0x0A	
1296 (+)	11664	185	209	D1	2	0x02	Rimossa dal codice non aggancia.

Amsat	10500	37	36	24	14	0x0E	
EyeGal	9940	Non realizzabile!					
Test	10575	37	13	0x0D	13	0x0D	
Test	11400	37	35	0x23	2	0x02	
Test	11000	37	25	19	2	0x02	

I test effettuati sull'unità hanno mostrato che le frequenze 10224MHz e 11664MHz non vengono agganciate dal sistema. Sono state pertanto rimosse dal codice, come evidente dalla guida al software.

ILCDFSL-1201

Il modulo presentato in questa sezione è stato gentilmente “offerto” da Fabio I6CXB. Il sintetizzatore ha già subito una modifica hardware per la sostituzione dell'oscillatore interno di riferimento a 10MHz. L'unità interna è stata rimossa e sostituita con una esterna della ISOTEMP, caratterizzata da una maggiore stabilità. All'accensione il modulo così configurato produce una uscita a frequenza 11610 MHz.



Figura 32- Sintetizzatore con riferimento esterno.

La modifica in oggetto non è opera mia. Mi limito a riportare due immagini che la documentano in modo che possa essere facilmente replicata ma non voglio nessun credito per questa realizzazione.

Per quanto riguarda la disposizione interna dei componenti, a dispetto della differenza di marcatura, l'ambiente è familiare.

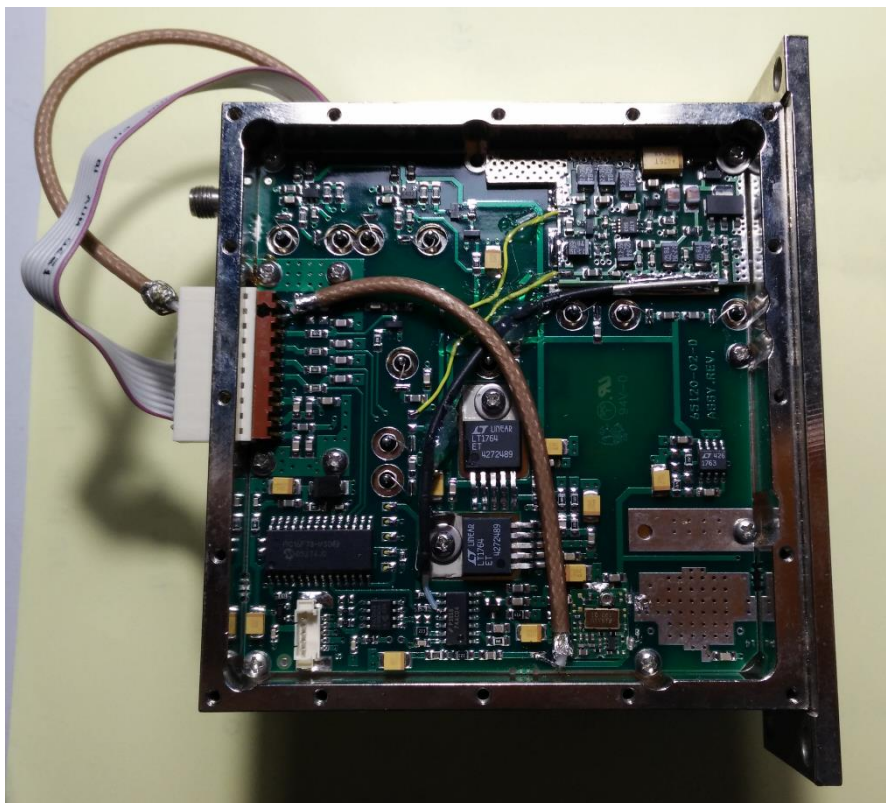


Figura 33 - Interno del sintetizzatore.

La sezione RF si presenta invece in questo modo:

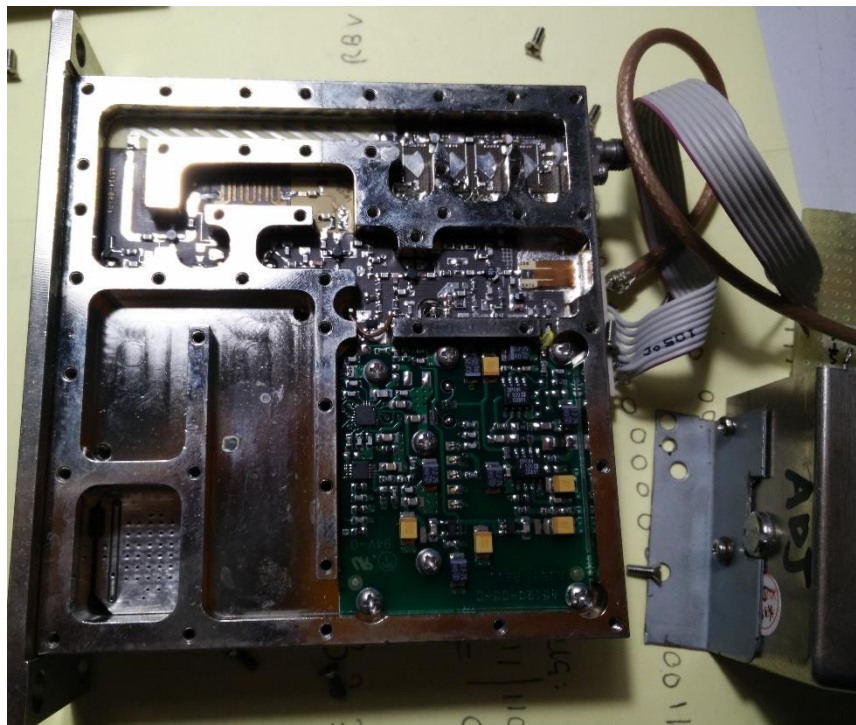


Figura 4 - Interno del sintetizzatore lato RF

La marcatura delle board che compongono il dispositivo è la seguente:

Sezione	Logica 1	Logica 2	RF Verde	RF VCO	
ILCDFSL-1201	65120-02-D	65128-22-P1	65120-05-C	128-2401	
	RF Gialla	RF Grigia Filtro	RF Grigia Lato	Filtro	Amplificatori
	65128-07-P1 3.015	65124-03-P1	CLDFSL-1201	1112	B1183 Rev.C

Prima di descrivere la modifica vediamo come è connesso il Microcontrollore:

Pin	Segnale	Pin	Segnale	Pin	Segnale	Pin	Segnale
1	Progr.	8	GND	15		22	Chip Select
2	Progr.	9	Osc	16	PLL-Data	23	EXT – LOCK
3		10		17	EXT – CLOCK	24	
4		11		18	EXT – DATA	25	PLL –ENABLE
5		12		19	GND	26	
6		13		20	Vcc	27	Progr.
7		14	PLL Clock	21	EXT -ENA	28	Progr.

I piedini in giallo sono stati sollevati dallo stampato in modo da impedire che il PIC possa programmare il PLL.

La programmazione originale della board è piuttosto complessa e richiede 8 blocchi dati, piuttosto lunghi.

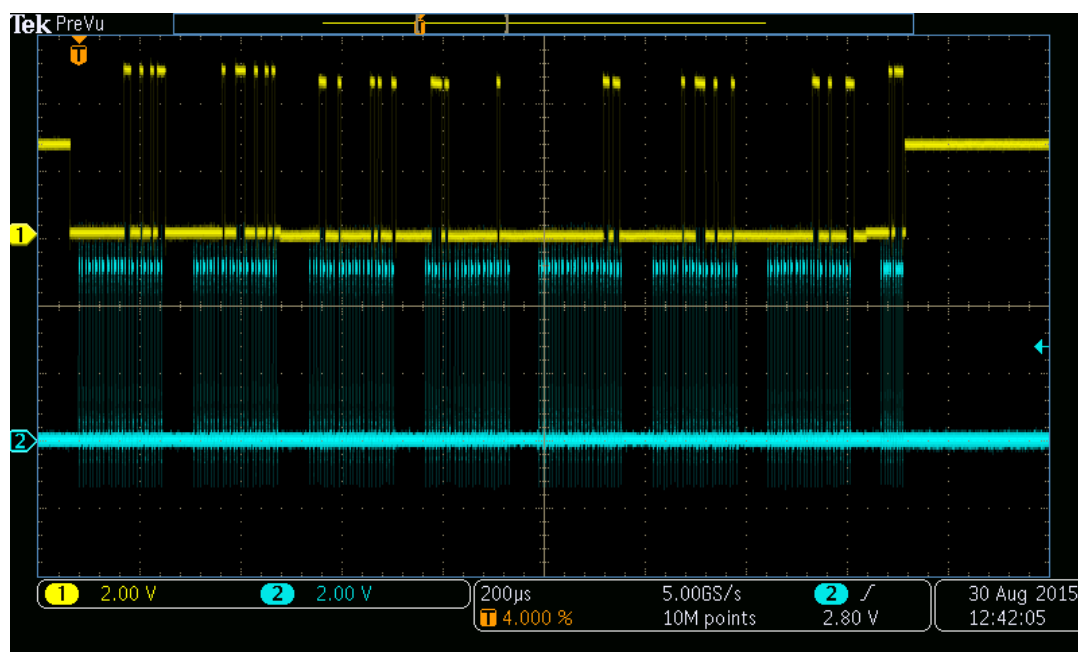


Figura 34 - Programmazione originale.

Nel dettaglio sono i seguenti:

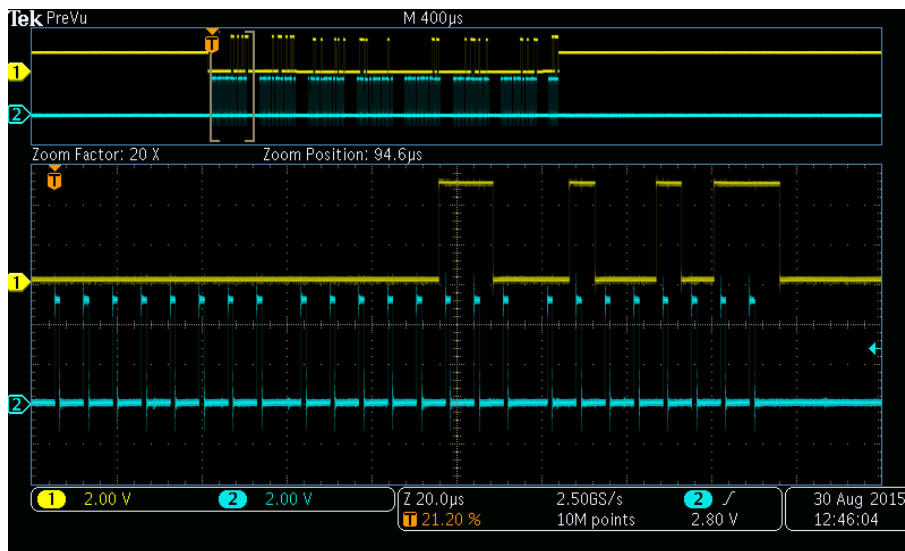


Figura 35- Blocco 1

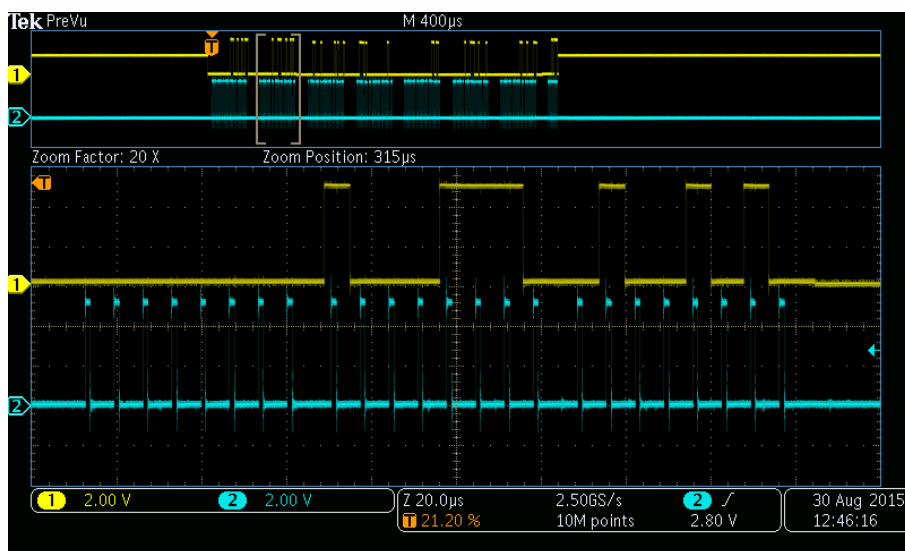


Figura 36 - Blocco 2

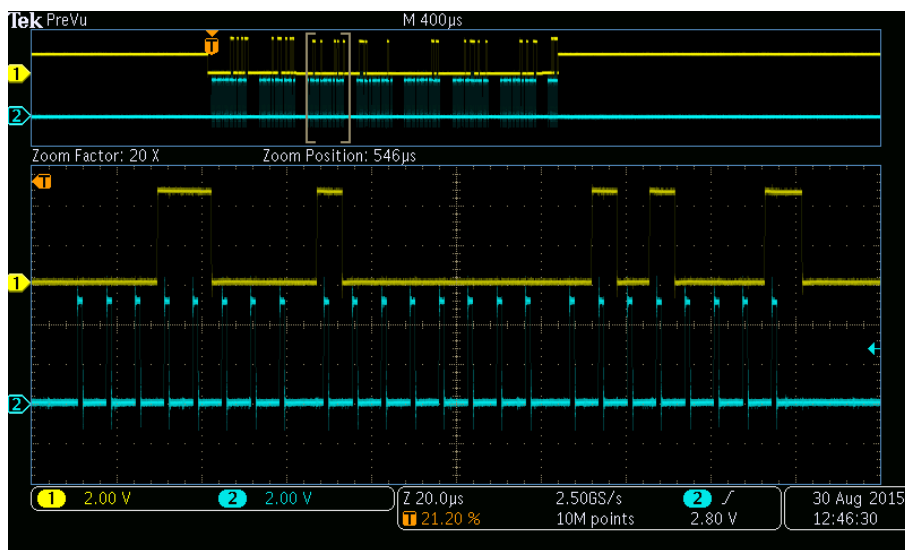


Figura 37 - Blocco 3

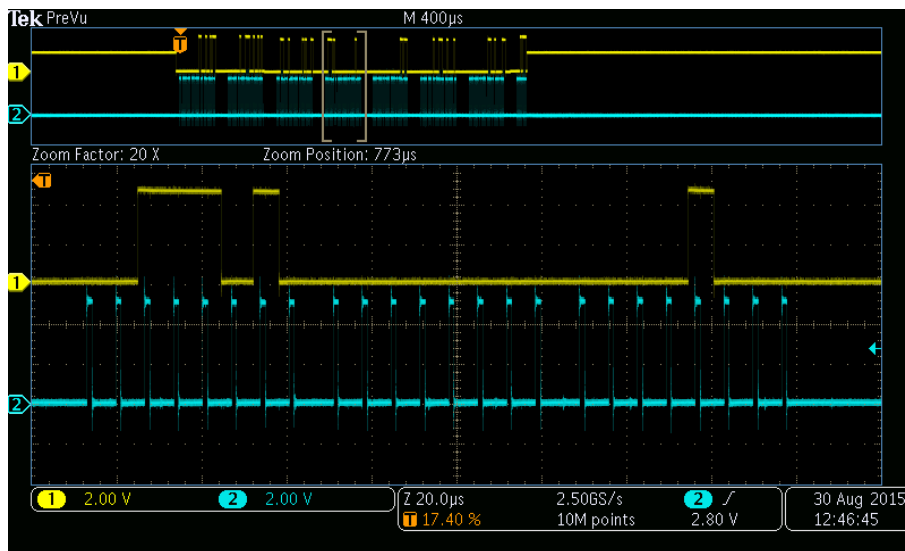


Figura 38 - Blocco 4

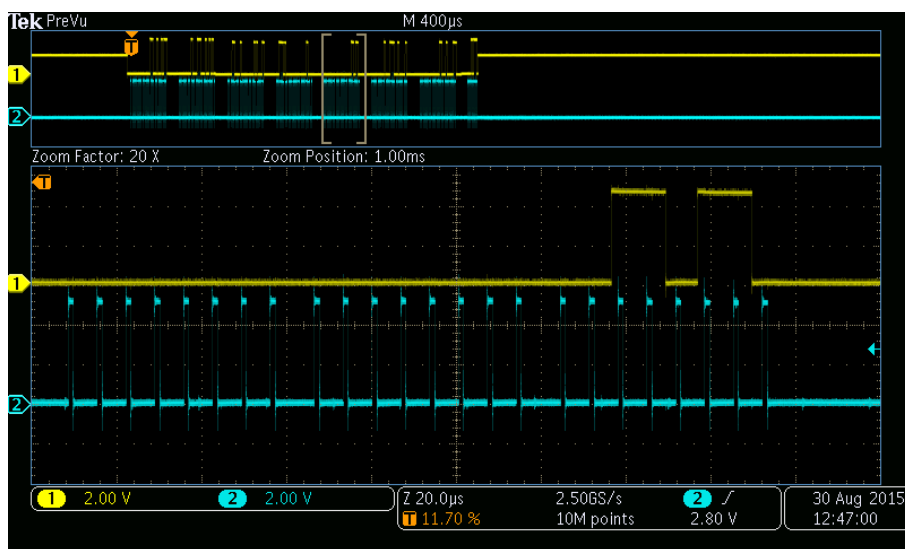


Figura 39 - Blocco 5

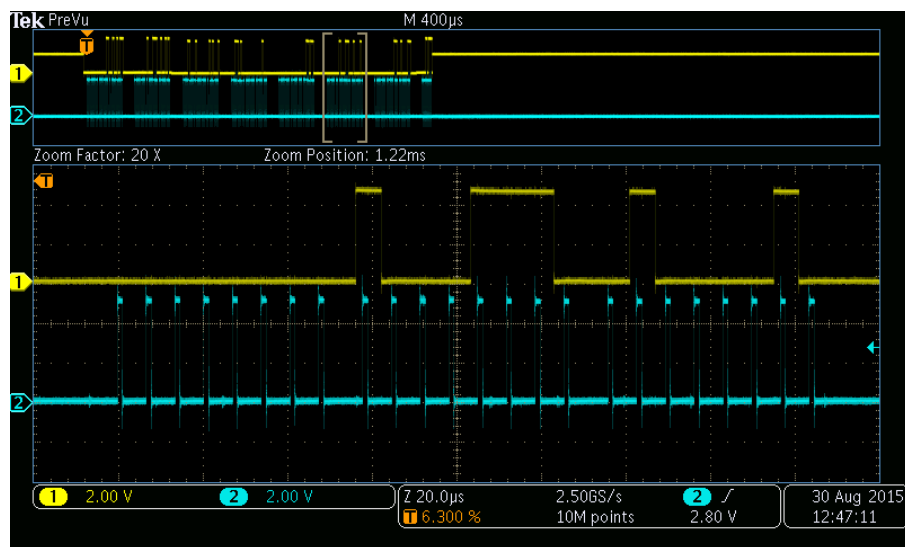


Figura 40 - Blocco 6

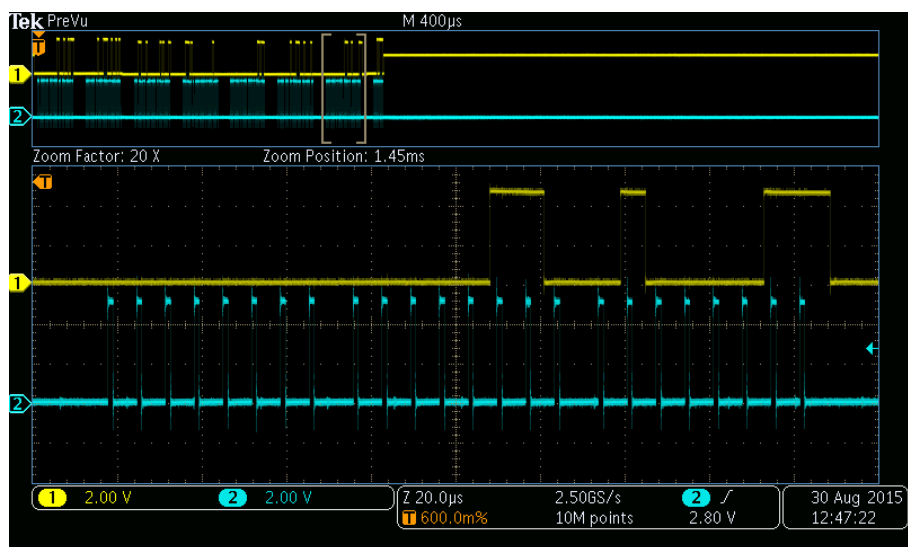


Figura 41 - Blocco 7

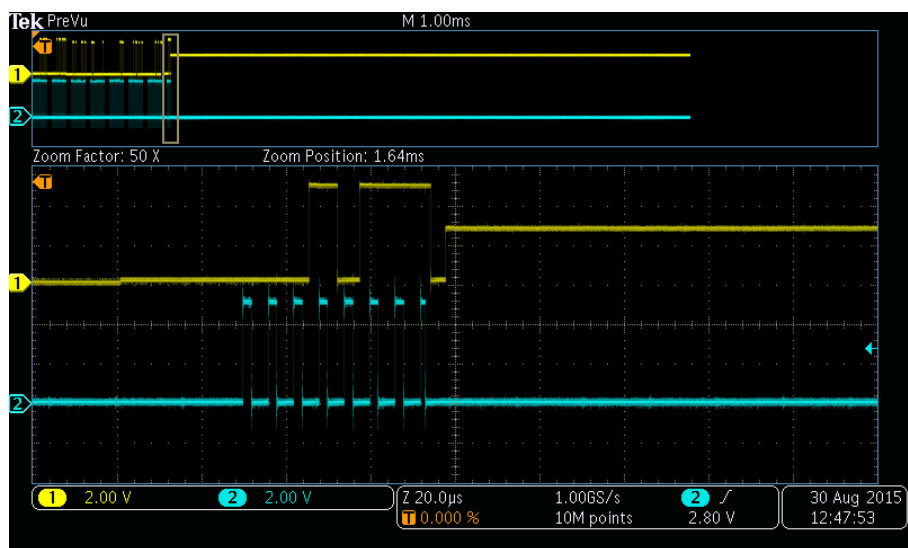


Figura 42 - Blocco 8 –

Possiamo riassumere in forma tabellare il contenuto degli screenshot, in modo da potere decodificare agevolmente il protocollo.

Blocco	Byte 1	Byte 2	Byte 3	Indirizzo	Note
1	0000 0000	0000 0110	0100 1011	011	Master Register
2	0000 0000	1000 1110	0100 1010	010	RF Control Register
3	0001 1000	1000 0000	0101 0001	001	RF R Divider Register
4	0011 1010	0000 0000	0000 1000	000	RF N Divider Register
5	0000 0000	0000 0000	0011 0110	110	IF Control Register
6	0000 0000	1000 1110	0100 0010	010	RF Control Register
7	0000 0000	0000 0110	0100 0011	011	Master Register
8	---	---	0001 0111	111	AD 5200 / 5201 Programming

Come appare dalle immagini e dalla tabella precedenti, è presente un ottavo blocco di programmazione. Questo consta solamente di un 1 byte. Indagare la sua funzione ha richiesto un po' di tempo.

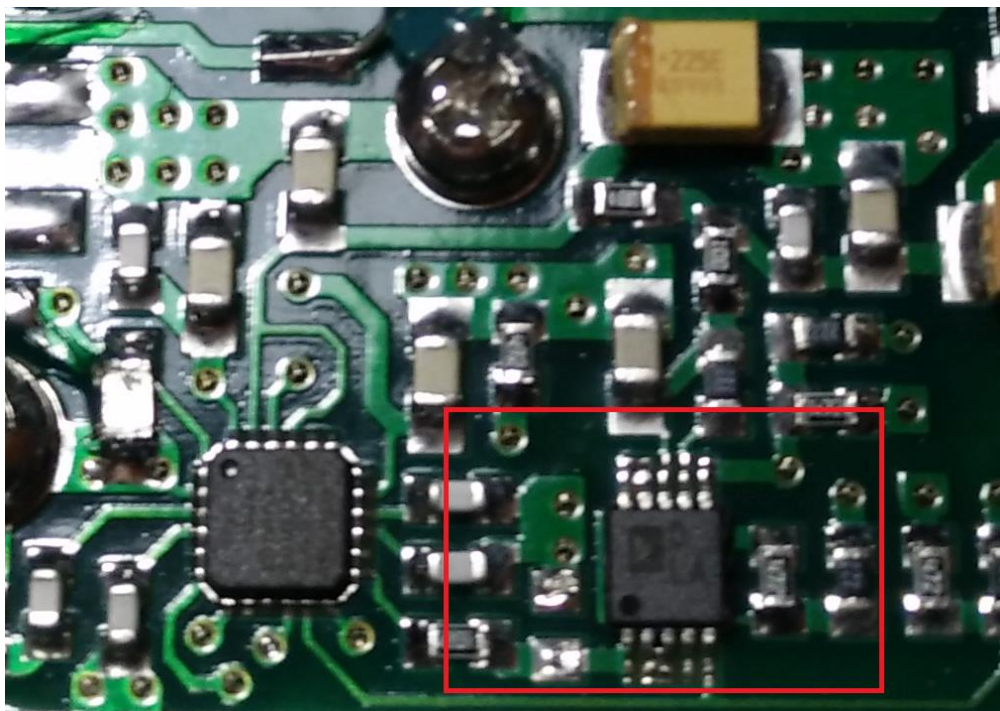


Figura 43 - PLL e AD5200/5201

Analizzando la sezione PLL del sintetizzatore, è possibile notare la presenza di un chip accanto al PLL. Si tratta di un AD5200/5201 ovvero di un potenziometro digitale ad 8 bit (datasheet in allegato). Il potenziometro è collegato al pin Rset del PLL. Connettendo un resistore a questo piedino è possibile determinare la minima corrente di uscita dal charge pump, secondo la relazione $I_{cpmin} = \frac{1.6875}{R_{set}}$.

La connessione del potenziometro digitale è la seguente:

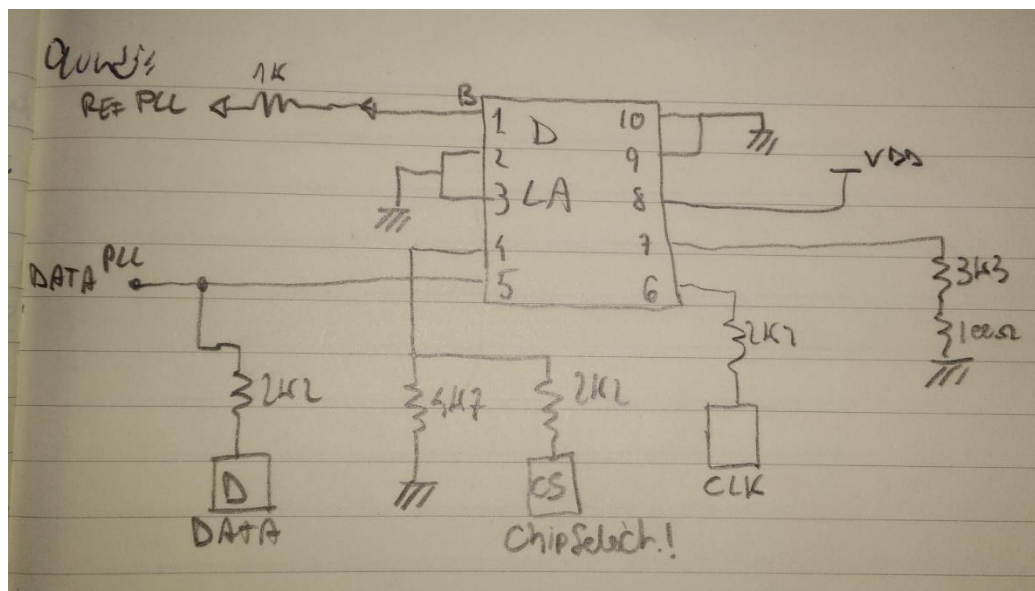


Figura 44 - Potenziometro digitale.

Il componente condivide con il PLL sia la linea di Clock che la linea Data. Viene programmato dall'ultimo byte dati che il PIC (originale) invia sul bus dati. Il valore che viene programmato è 0x17, pari a 23d. Utilizzando le formule dei datasheet il valore di resistenza programmato è 952ohm (se il componente è il AD5200) o 35980 ohm (se il componente è AD5201). In ogni caso, omettere questa programmazione nel ILCSDFS-

1201 non ha avuto alcun effetto sulla copertura in frequenza realizzabile (è plausibile che il componente abbia memorizzata la sua configurazione). Occorrerebbe verificare l'influenza di questo parametro sul rumore di fase del sistema.

Il Pin CS è collegato al pad numero 2 come mostrato in figura.

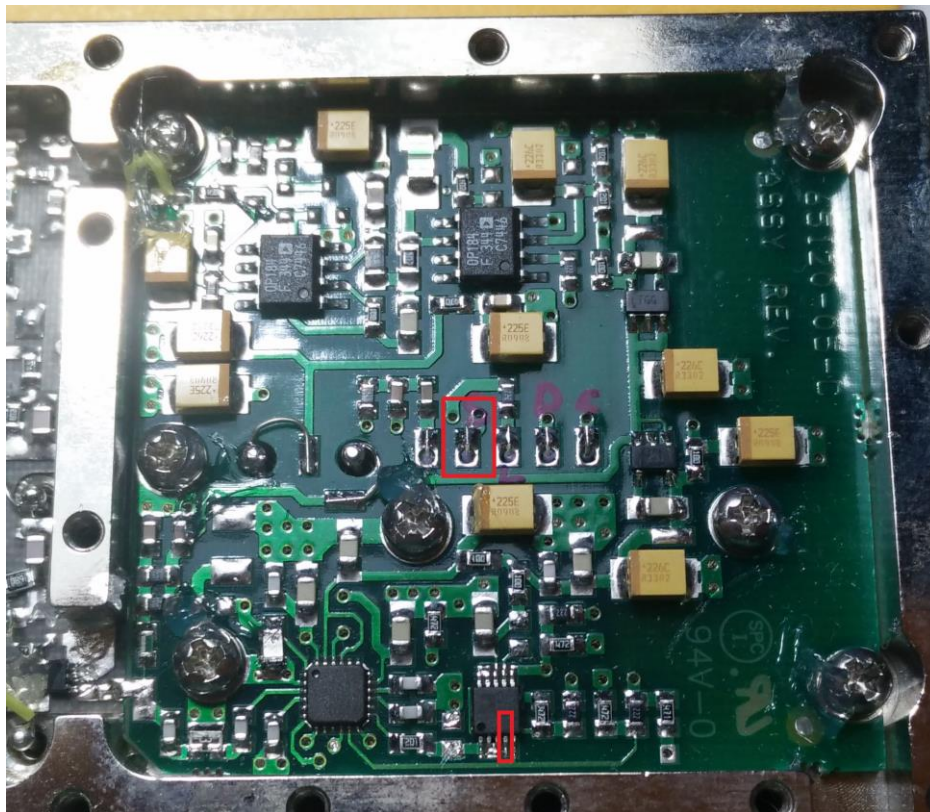


Figura 45 - Pin Chip Select

Nella sezione "logica" del sintetizzatore, il pad è collegato al piedino 22 del microcontrollore. La PicBoard V3.1 (attualmente in essere), non supporta la programmazione del PIN CS. Questa caratteristica sarà aggiunta nelle prossime release Hardware.

Componenti Utilizzati

Occorre notare che la board RF presenta delle notevoli differenze con quanto visto nei casi dei sintetizzatori DFS. Il componente PLL utilizzato è prodotto dalla Analog Devices ed ha sigla ADF4252B¹³. Si tratta di una sintetizzatore duale con registri frazionari ed interi, in grado di lavorare fino a 1.2GHz. Si presenta in un package estremamente ridotto LFCSP, che lo rendono piuttosto difficile da maneggiare.

Il suo pinout è il seguente:

¹³ Il datasheet è disponibile nella sezione integrazioni.

PIN CONFIGURATION

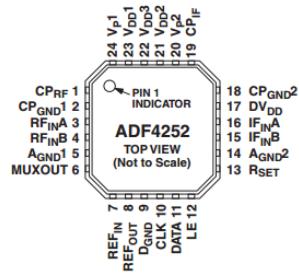


Figura 46- Pinout PLL

Mentre lo schema a blocchi è il seguente:

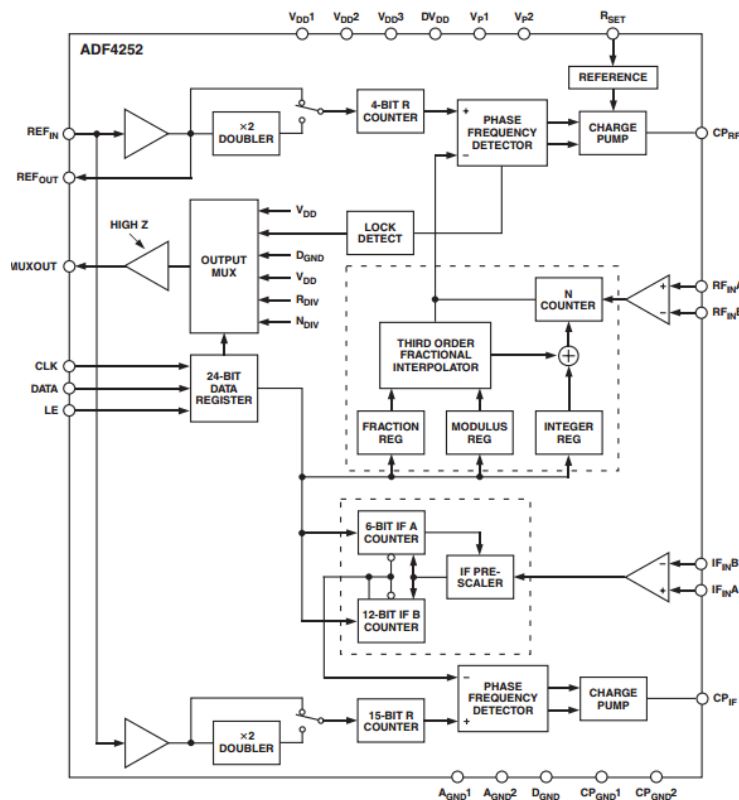


Figure 2. Detailed Functional Block Diagram

Figura 47 - Schema a blocchi.

La programmazione avviene attraverso una interfaccia a seriale a tre fili:

- DATA: I dati seriali sono caricati a partire da MSB con i 3 LSB che fungono da bit di controllo.
- LE: Load-Enable. Quando il piedino va alto, i dati immagazzinati nello shift-register vengono caricati nel latch corrispondente.
- CLK: Viene utilizzato per inserire i dati all'interno dei registri. I dati sono caricati nel latch in corrispondenza del fronte di salita.

I potenziometri digitali AD5200 e AD5201, sono dei dispositivi piuttosto interessanti. Il loro schema a blocchi è molto semplice:

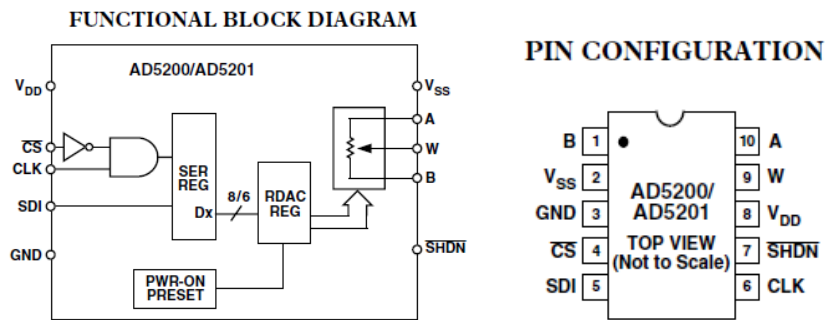


Figura 48 - Schema a blocchi del potenziometro e suo pinout.

Registri di Programmazione

Il principio di funzionamento del dispositivo è abbastanza semplice ed è basato su diversi divisori:

- RF INT è un contatore che effettua una divisione per un valore compreso tra 31 e 255;
- RF R contatore a 4 bit che effettua la divisione del segnale di riferimento in ingresso in modo da generare il clock per il rilevatore di fase;
- FRAC è un contatore a 12 bit che consiste di due parti: MOD con valore tra 2 e 4095 e FRAC con valore ammissibile compreso tra 0 e MOD.
- D è un bit che imposta il valore del duplicatore interno del segnale RF REFin. Viene utilizzato per aumentare la frequenza di confronto utilizzata, tenendo conto del fatto che una frequenza maggiore produce un miglioramento nelle caratteristiche di rumore del dispositivo. Occorre tuttavia notare che il massimo valore al quale può lavorare il rilevatore di fase (PFD) è 30MHz.

Le relazioni che legano i divisori sono le seguenti:

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right)$$

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R}$$

Considerate le notevoli funzioni che è in grado di svolgere il dispositivo, la programmazione offre notevoli possibilità di personalizzazione e richiede di interagire con moltissimi registri.

- RF N – Divider – R0
Indirizzo R0=000 (control bit)

RF N DIVIDER REG

RESERVED	8-BIT RF INTEGER VALUE (INT)								12-BIT RF FRACTIONAL VALUE (FRAC)												CONTROL BITS			
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P1	N8	N7	N6	N5	N4	N3	N2	N1		F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3 (0)	C2 (0)	C1 (0)

Consente di impostare il valore di

- INT range: 31 - 255
- FRAC range: 0 – 4095 (valore ammesso tra 0 e MOD)
- RF R – Divider – R1
Indirizzo R1=001 (control bit)

RF R DIVIDER REG

PRESALER	RF REF _{IN} DOUBLER	4-BIT RF R COUNTER				12-BIT INTERPOLATOR MODULUS VALUE (MOD)												CONTROL BITS		
DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P3	P2	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3 (0)	C2 (0)	C1 (1)

Consente di impostare il valore di

- R range: 1 – 15
- MOD range: 2 – 4095
- D range: 0 - 1

- RF Control Register – R2

Indirizzo R2=010 (control bit)

RF CONTROL REG

NOISE AND SPUR SETTING 3	RESERVED				NOISE AND SPUR SETTING 2	RF CP CURRENT SETTING		RESERVED	RF PD POLARITY	NOISE AND SPUR SETTING 1	RF POWER-DOWN	RF CP THREE-STATE	RF COUNTER RESET	CONTROL BITS		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
N3	T3	T2	T1	N2	CP2	CP1	0	P8	N1	P6	P5	P4	C3 (0)	C2 (1)	C1 (0)	

Consente di impostare i seguenti parametri:

- Counter Reset: 0 disabilitato – 1 abilitato
- RF CP three-state: 0 disabilitato – 1 3 state
- RF power-down: 0 disabilitato – 1 abilitato
- Noise and Spur: 000 lowest spur – 001 lowest noise and spur – 111 Lowest noise
- RF PD Polarity: 0 negativa – 1 positiva
- RF CP current: range 0 – 6 ;

- Master Register – R3

Indirizzo R3= 011(control bit)

MASTER REG

MUXOUT				XO DISABLE	POWER-DOWN	CP THREE-STATE	COUNTER RESET	CONTROL BITS		
DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
M4	M3	M2	M1	P12	P11	P10	P9	C3 (0)	C2 (1)	C1 (1)

Consente di impostare i seguenti parametri:

- Counter Reset: 0 disabilitato – 1 abilitato;
- CP Three-state: 0 disabilitato – 1 3-state;
- Power-Down: 0 disabilitato – 1 abilitato;
- XO disable: 0 XO Enabled – 1 XO disabled
- MUX Out: look-up table per definire il comportamento del PIN.

- IF Control Register – R4

Indirizzo R4=110 (control bit)

IF CONTROL REG

RF PHASE RESYNC		RESERVED		RF PHASE RESYNC	IF CP CURRENT SETTING			IF PD POLARITY	IF LDP	IF POWER- DOWN	IF CP THREE- STATE	IF COUNTER RESET	CONTROL BITS		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
PR3	PR2	T8	T7	PR1	CP3	CP2	CP1	P21	P20	P19	P18	P17	C3 (1)	C2 (1)	C1 (0)

Consente di impostare i seguenti parametri:

- IF Counter Reset: 0 disabled – 1 enabled;
- IF CP Three State: 0 disabled – 1 3-state;
- IF Power Down: 0 Disabled – 1 enabled;
- IF LDP: 0 3 – 1 5
- IF PD Polarity: 0 negative – 1 positive
- IF CP Current: range 0 – 7
- Phase Resync: 000 Disabled – 111 Enabled.

Programmazione del dispositivo

Ci sono 3 metodi diversi per la programmazione del dispositivo a seconda degli stadi interni che si vogliono usare.

- Stadi RF ed IF operativi – in questo caso debbono essere scritti tutti i registri presenti nel dispositivo;
- Stadio RF operativo, stadio IF spento – in questo caso debbono essere scritti solo i registri R3, R2, R1 ed R0. Lo stadio IF rimarrà inattivo fino a quando non saranno scritti i registri R6, R5, R4 ed R3.
- Stadio IF operativo, stadio RF spento – Debbono essere scritti solo i registri R6, R5, R4 ed R3. In modo analogo al precedente, la sezione RF rimarrà spenta fino a quando non saranno programmati R3, R2, R1 ed R0.

Per quanto riguarda la determinazione dei parametri della configurazione, occorre disporre dei dati relativi alla REF_{IN} ed alla spaziatura del canale desiderata F_{RES} . Quindi:

$$MOD = \frac{REF_{IN}}{F_{RES}}$$

Si applica quindi la seguente formula per il calcolo della frequenza di confronto, notare che il massimo valore per questa frequenza è 30MHz:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R}$$

E quindi si applica la seguente formula per il calcolo della frequenza di uscita:

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right)$$

In cui INT e FRAC debbono essere opportunamente determinati a seconda delle condizioni operative e dei vincoli esistenti sul loro valore.

Alcune note alla impostazione dei registri (dal datasheet):

- L'aumento della F_{PFD} migliora le caratteristiche di rumore del sistema. Un raddoppio della frequenza implica un miglioramento di 3dB nel rumore. Attenzione a non eccedere il limite dei 30MHz.
- Il valore del prescaler limita il valore di INT
 - $P=4/5$ allora $N_{min}=31$
 - $P=8/9$ allora $N_{min}=91$

- Nel registro R2 in corrispondenza dei bit 15,11 e 06 è possibile impostare una caratteristica che consente all'utente di migliorare il comportamento del PLL per quanto riguarda il rumore di fase o le spurie. L'impostazione che minimizza il rumore di fase, prevede che questi tre bit siano impostati ad 1. In questo modo viene disabilitato il dither e il sistema di charge-pump viene fatto lavorare nella regione di minimo rumore.

Riassumendo la programmazione originale:

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0110 0100
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1110	Byte 3	0100 1010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Disabled	Disabled	111 Low Noise	Negative	11
R1 – RF R Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0000	Byte 3	0101 0001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
10	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0011 1010	Byte 2	0000 0000	Byte 3	0000 1000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
1	116				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1110	Byte 3	0100 0010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Negative	11
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(116 + \frac{1}{10} \right) \times 20 = 2322$$

Moltiplicando questo valore per 5 (numero degli stadi di moltiplicazione interna) si ottiene: 11610MHz, valore della frequenza di uscita verificato sperimentalmente. Da notare che, con questa configurazione, applicando la

$$F_{RES} = \frac{REF_{IN}}{MOD} = \frac{20}{10}$$

Si ottiene una spaziatura di canale di 2MHz, che diventano 10MHz dopo la moltiplicazione per 5.

Sulla base di questi semplici calcoli è stato compilato un foglio di calcolo che consente di determinare il valore dei divisori per un ampio set di frequenze.

Frequenze di interesse.

Dall'analisi della letteratura radioamatoriale reperita in rete, appare come questo oscillatore venga prevalentemente utilizzato per sistemi operanti a 47GHz ed a 24GHz. Sono ste prese in considerazione le seguenti frequenze operative:

Frequenza	MOD	MOD Hex	R	Frac	Frac Hex	INT	INT Hex	Note
11772	50	32	1	36	24	117	75	Beacon 47 GHz
11736	50	32	1	18	12	117	75	47GHz – IF 144 MHz
11414	50	32	1	7	7	114	72	47GHz – IF 432 MHz
11448	50	32	1	24	18	114	72	47GHz – IF 1296 MHz
12024	50	32	1	12	C	120	78	Beacon 24GHz
11952	50	32	1	26	1°	119	77	24GHz – IF 144 MHz
11808	50	32	1	4	4	77	76	24 GHz – IF 432 MHz
11376	50	32	1	38	26	113	71	24 GHz – IF 1296 MHz
12000	50	32	1	50	32	119	77	Test 1
12000	10	A	1	10	A	119	77	Test 2
11200	10	A	1	10	A	111	6F	Test 3

ILCDFS-1301-C – sezione A ¹⁴

Oscillatore controllato da PLL basato su componenti Analog Devices. Il layout interno è molto pulito come appare dalla immagine.



Figura 49 - Layout lato logica.

Il cuore del dispositivo è il sintetizzatore di frequenza ADF4252 della analog devices.

Il dispositivo sul quale ho potuto lavorare è stato fornito da IK6EFN. Si tratta di un modulo modificato, nel quale sono stati rimossi i filtri ed i moltiplicatori interni. Pertanto le frequenze ottenute dovranno essere moltiplicate opportunamente. Nel foglio di calcolo sarà considerato un moltiplicatore x4.

Analisi della programmazione di I4SBX

Lo studio della programmazione del dispositivo è stato condotto attraverso reverse engineering del protocollo di comunicazione con il PLL. Per questo scopo è stato usato un oscilloscopio digitale Tektronix MDO 4104.

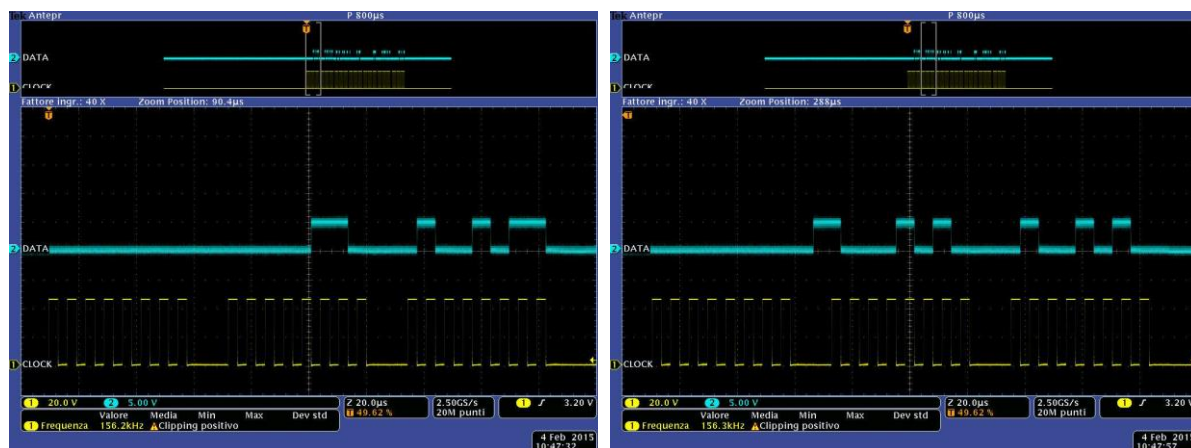
Il modulo fornito da IK6EFN fa parte di una serie realizzata da I4SBX e caratterizzata dalla possibilità di programmare 8 frequenze differenti. Di seguito saranno analizzate tutte le configurazioni, identificate dalla posizione dei cavetti A B C, rispettivamente nei pin 5 6 7 del connettore. La prima combinazione verrà trattata in maniera estensiva, onde fornire una spiegazione del metodo di lavoro. Le successive saranno più schematiche e scarse.

¹⁴ Il presente paragrafo è il risultato di un lavoro di “reverse engineering” su un oscillatore modificato da Eraldo I4SBX. L’oscillatore analizzato è stato modificato sia nel software (sostituzione del microcontrollore PIC) sia nell’hardware (modifica dei filtri di uscita). Non mi assumo nessun merito per quanto realizzato.

Configurazioni possibili:

Combinazione	“ A “ (5)	“ B “ (6)	“ C “ (7)	Fout	X4
1	Vcc	GND	GND	2579,5	10318
2	Vcc	Vcc	GND	2496	9984
3	Vcc	Vcc	Vcc	2592,125	10368,5
4	GND	Vcc	Vcc	2592,1	10368,4
5	GND	GND	Vcc	2592,05	10368,2
6	GND	GND	GND	2556	10224
7	Vcc	GND	Vcc	2592,075	10368,3
8	GND	Vcc	GND	2592,075	10368,3

Combinazione 1



Dopo avere analizzato le forme d’onda, il protocollo ricostruito è il seguente (in grassetto gli indirizzi):

MSB		LSB	Identificazione
0000 0000	0000 0 110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
000 1 1000	1000 0001	0100 0001	R1 – 21 bit
0100 0000	0000 0001	0011 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0 110	0100 0011	R3 – 11 bit

Decodifica del protocollo (LSB -> MSB):

- Registro R3 “Master Register”
 - Reset del contatore
 - Charge pump in 3-state
 - Power down – disables
 - XO Disabled
 - MuxOut: RF digital LOCK
- Registro R2 “RF Control Register”
 - RF counter reset: enabled;
 - RF Cp 3-state: disabled;
 - RF power down: disabled

- Noise and Spur: 111 Lower noise;
- RF PD Polarity: Positive;
- Cp Current settings: 01

- Registro R1 “RF R Divider Register”
 - MOD= 40;
 - R=1 (divisore del REF);
 - D=1 (duplicatore del REF);
 - RF Prescaler= 8/9;

- Registro R0 “N Divider Register”
 - FRAC= 39;
 - INT = 128;

- Registro R6 “IF Control Register”
 - IF Counter Reset: disabled;
 - IF CP 3-state: 3 state;
 - IF Power Down : enabled;

- Registro R2 “RF Control Register”
 - Come nel primo caso solo che viene posto a 0 il RF counter reset.

- Registro R3 “Master Register”
 - Come nel primo caso solo che viene posto a 0 il counter reset.

Riassumendo in formato tabellare:

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0001	Byte 3	0100 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
40	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	0000 0001	Byte 3	0011 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
39	128				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(128 + \frac{39}{40} \right) \times 20 = 2579.5$$

Valore verificato sperimentalmente.

Combinazione 2

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1000 0001	0100 0001	R1 – 21 bit
0100 0000	0000 0001	0011 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

Decodifica del protocollo (LSB -> MSB) in forma tabellare:

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0001	Byte 3	0100 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
40	1	Enabled	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	0000 0001	Byte 3	0011 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
128	39				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(39 + \frac{128}{40} \right) \times 20 = 2496$$

Valore verificato sperimentalmente.

Combinazione 3

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1000 0101	0000 0001	R1 – 21 bit
0100 0000	1000 0011	0000 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0101	Byte 3	0000 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
160	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	1000 0011	Byte 3	0000 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
97	129				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(129 + \frac{97}{160} \right) \times 20 = 2592,125$$

Combinazione 4

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1000 0110	0100 0001	R1 – 21 bit
0100 0000	1000 0011	1100 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0110	Byte 3	0100 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
200	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	1000 0011	Byte 3	1100 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
121	129				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(129 + \frac{121}{200} \right) \times 20 = 2592,1$$

Combinazione 5

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1000 1100	1000 0001	R1 – 21 bit
0100 0000	1000 0111	1000 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 1100	Byte 3	1000 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
400	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	1000 0111	Byte 3	1000 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
241	129				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(129 + \frac{241}{400} \right) \times 20 = 2592,05$$

Combinazione 6

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1000 0000	0010 1001	R1 – 21 bit
0011 1111	1000 0000	0010 0000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1000 0000	Byte 3	0010 1 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
5	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0011 1111	Byte 2	1000 0000	Byte 3	0010 0 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
4	127				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(127 + \frac{4}{5} \right) \times 20 = 2556$$

Combinazione 7

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1001 1001	0000 0001	R1 – 21 bit
0100 0000	1000 1111	0001 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1001 1001	Byte 3	0000 0 0001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
800	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	1000 1111	Byte 3	0001 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
483	129				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

60

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(129 + \frac{483}{800} \right) \times 20 = 2592,075$$

Combinazione 8

MSB		LSB	Identificazione
0000 0000	0000 0110	0100 1011	R3 – 11 bit
0000 0000	1000 1010	0100 1010	R2 – 16 bit
0001 1000	1001 1001	0000 0001	R1 – 21 bit
0100 0000	1000 1111	0001 1000	R0 – 24 bit
0000 0000	0000 0000	0011 0110	R6 – 16 bit
0000 0000	1000 1010	0100 0010	R2 – 16 bit
0000 0000	0000 0110	0100 0011	R3 – 11 bit

R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 1 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter 3	CP – 3 state	Power Down	XO	MuxOut	
Enabled	Disabled	Disabled	Disabled	RF Digital Lock	
R2 – RF Control Register – 15 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 1 010
Bit 3	Bit 4	Bit 5	Bit 15 – 11 – 6	Bit 7	Bit 10 - 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Enabled	Enabled	Disabled	111 Low Noise	Positive	01
R1 – RF F Divider Register – 20 bit					
Byte 1	0001 1000	Byte 2	1001 1001	Byte 3	0000 0 001
Bit 14 – 3	Bit 18 – 15	Bit 19	Bit 20		
MOD	R	D	Prescaler		
800	1	1	8/9		
R0 – N Divider Register – 23 bit					
Byte 1	0100 0000	Byte 2	1000 1111	Byte 3	0001 1 000
Bit 22 – 15	Bit 14 – 3				
Frac	INT				
483	129				
R6 – IF control register – 15 bit					
Byte 1	0000 0000	Byte 2	0000 0000	Byte 3	0011 0 110
Bit 3	Bit 4	Bit 5	Bit 7		
Counter Reset	CP – 3 state	Power Down	Polarity		
Disabled	3 state	Enabled			
R2 – RF Control Register – 16 bit					
Byte 1	0000 0000	Byte 2	1000 1010	Byte 3	0100 0 010
Bit 3	Bit 4	Bit 5	Bit 6	Bit 3	Bit 10 – 9
Reset Counter	CP – 3 State	Power Down	Noise Spur	PD Polarity	CP Current
Disabled	Enabled	Disabled	111 Low Noise	Positive	01
R3 - Master register – 10 bit					
Byte 1	0000 0000	Byte 2	0000 0110	Byte 3	0100 0 011
Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	
Reset Counter	CP – 3 state	Power Down	XO	MuxOut	
Disabled	Enabled	Disabled	Disabled	RF Digital Lock	

Applicando le formule precedentemente viste:

$$F_{PFD} = REF_{IN} \times \frac{(1 + D)}{R} = 10 \times \frac{2}{1} = 20$$

62

$$RF_{out} = F_{PFD} \times \left(INT + \frac{FRAC}{MOD} \right) = \left(129 + \frac{483}{800} \right) \times 20 = 2592,075$$

Tabella riassuntiva delle combinazioni I4SBX

C	Freq. PLL	Freq.	R	D	Mod	Mod h	Frac	Frac h	Int	Int h
1	2579,5	10318	1	1	40	28	39	27	128	80
2	2496	9984	1	1	40	28	128	80	39	27
3	2592,125	10368,5	1	1	160	A0	97	61	129	81
4	2592,1	10368,4	1	1	200	C8	121	79	129	81
5	2592,05	10368,2	1	1	400	190	241	F1	129	81
6	2556	10224	1	1	5	5	4	\$	127	7F
7	2592,075	10368,3	1	1	800	320	483	1E3	129	81
8	2592,075	10368,3	1	1	800	320	483	1E3	129	81

Altre frequenze di interesse.

Come già fatto per il cugino DFS-1301, sono state inserite nella programmazione anche altre frequenze di possibile interesse radioamatoriale. Per ognuna di queste è stato ottimizzato lo step in modo che sia il più elevato possibile. Questo per diminuire il rumore di fase del sistema.

Freq.	Mol. X4	R	D	Mod	Mod H	Frac	Frac H	Int	Int H	Step	Note
12672	3168	1	1	5	5	7	7	157	9D	4	Beacon
12648	3162	1	1	10	A	11	B	157	9D	2	76GHz IF 144
12600	3150	1	1	2	2	17	11	149	96	10	76GHz IF 432
12456	3114	1	1	10	A	7	7	155	9B	2	76GHz IF 1296
12650	3162,5	1	1	40	28	5	5	158	9E	0,5	Test 1
13000	3250	1	1	2	2	15	F	155	9B	10	Test 2
13000	3250	1	1	20	14	10	A	162	A2	1	Test 3
13200	3300	1	1	1	1	8	8	157	9D	20	Test 4

Considerazioni sull'hardware

La marcatura delle board che compongono il dispositivo è la seguente:

Sezione	Logica 1	Logica 2	RF Verde	RF VCO	RF Marrone
ILCDFSL-1301	65120-02-C	--	65120-05-C	B1154 CHFV6	65123 07-P1
	Filtri	Amplificatori			
	Non leggibile	B 1183 Rev C			

Le connessioni del microcontrollore sono le seguenti:

Pin	Segnale	Pin	Segnale	Pin	Segnale	Pin	Segnale
1	Progr.	8	GND	15		22	Chip Select
2	Progr.	9	Osc	16	PLL-Data	23	EXT – LOCK
3		10		17	EXT – CLOCK	24	
4		11		18	EXT – DATA	25	PLL –ENABLE
5		12		19	GND	26	
6		13		20	Vcc	27	Progr.
7		14	PLL Clock	21	EXT -ENA	28	Progr.

I piedini in giallo sono stati sollevati dallo stampato in modo da impedire che il PIC possa programmare il PLL.

Per questo tipo di hardware, valgono le stesse considerazioni fatte a proposito del ILCDFSL-1201. Anche in questo caso è presente un potenziometro digitale. Nel codice elaborato da I4SBX non sono presenti cenni alla programmazione del dispositivo. Purtroppo la sperimentazione con questo tipo di sintetizzatore è stata molto limitata dalla scarsa reperibilità dell'hardware e dalla rottura del dispositivo disponibile. Il supporto del codice a questo dispositivo è pertanto da considerarsi LIMITATO.